

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Fumihiko AIGA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: FILTER CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-048517	February 26, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 2月 26日

出願番号 Application Number: 特願 2003-048517

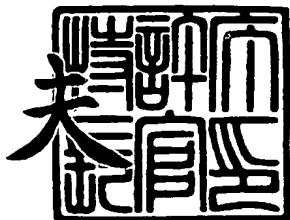
[ST. 10/C]: [JP 2003-048517]

出願人 Applicant(s): 株式会社東芝

2003年 7月 23日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 13B02Z0661

【あて先】 特許庁長官殿

【国際特許分類】 H01P 1/203

【発明の名称】 フィルタ回路

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
研究開発センター内

【氏名】 相賀 史彦

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
研究開発センター内

【氏名】 橋本 龍典

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
研究開発センター内

【氏名】 寺島 喜昭

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
研究開発センター内

【氏名】 山崎 六月

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
研究開発センター内

【氏名】 福家 浩之

**【発明者】**

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
研究開発センター内

【氏名】 加屋野 博幸

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フィルタ回路

【特許請求の範囲】

【請求項 1】

第1端共振器と、前記第1端共振器に結合する第1共振器と、前記第1共振器に結合する第2共振器と、前記第2共振器に結合する第3共振器と、前記第3共振器に結合する第4共振器と、前記第4共振器に結合する第2端共振器とを有し、前記第1端共振器と前記第2端共振器との結合及び前記第1共振器と前記第4共振器との結合及び前記第2共振器と前記第3共振器との結合が同相である複素数ブロックと、

伝達関数の実数零点及び伝達関数の純虚数零点を実現する実純虚数ブロックとを備え、

前記複素数ブロック及び前記実純虚数ブロックは単路結合されていることを特徴とするフィルタ回路。

【請求項 2】

前記実純虚数ブロックは、第3端共振器と、第3端共振器に結合する第5共振器と、前記第5共振器に結合する第6共振器と、前記第6共振器に結合する第7共振器と、前記第7共振器に結合する第8共振器と、前記第8共振器に結合する第4端共振器とを有し、前記第3端共振器と前記第4端共振器との結合及び前記第5共振器と前記第8共振器との結合及び前記第6共振器と前記第7共振器との結合の内、隣り合う結合の1組が同相であることを特徴とする請求項1記載のフィルタ回路。

【請求項 3】

前記実純虚数ブロックは、第3端共振器と、第3端共振器に結合する第5共振器と、前記第5共振器に結合する第6共振器と、前記第6共振器に結合する第7共振器と、前記第7共振器に結合する第8共振器と、前記第8共振器に結合する第4端共振器とを有し、前記第3端共振器と前記第4端共振器との結合及び前記第5共振器と前記第8共振器との結合及び前記第6共振器と前記第7共振器との結合の内、隣り合う結合が逆相であることを特徴とする請求項1記載のフィルタ回路

。

【請求項4】

第1端共振器と、前記第1端共振器に結合する第1共振器と、前記第1共振器に結合する第2共振器と、前記第2共振器に結合する第3共振器と、前記第3共振器に結合する第4共振器と、前記第4共振器に結合する第2端共振器とを有し、前記第1端共振器と前記第2端共振器との結合及び前記第1共振器と前記第4共振器との結合及び前記第2共振器と前記第3共振器との結合が同相である複素数ブロックと、

伝達関数の実数零点を実現する実数ブロック及び伝達関数の純虚数零点を実現する純虚数ブロックの少なくとも一方ブロックとを備え、

前記複素数ブロック及び前記一方ブロックは单路結合されていることを特徴とするフィルタ回路。

【請求項5】

前記実数ブロックと、前記純虚数ブロックとを備えることを特徴とする請求項4記載の特徴とするフィルタ回路。

【請求項6】

前記実数ブロックは、

第3端共振器と、前記第3端共振器に結合する第5共振器と、前記第5共振器に結合する第6共振器と、前記第6共振器に結合する第4端共振器とを有し、前記第3端共振器と前記第4端共振器との結合及び前記第5共振器と前記第6共振器との結合が同相であることを特徴とする請求項4記載のフィルタ回路。

【請求項7】

前記純虚数ブロックは、

第3端共振器と、前記第3端共振器に結合する第5共振器と、前記第5共振器に結合する第6共振器と、前記第6共振器に結合する第4端共振器とを有し、前記第3端共振器と前記第4端共振器との結合及び前記第5共振器と前記第6共振器との結合が逆相であることを特徴とする請求項4記載のフィルタ回路。

【請求項8】

第1端共振器と、前記第1端共振器に結合する第1共振器と、前記第1共振器に

結合する第2共振器と、前記第2共振器に結合する第3共振器と、前記第3共振器に結合する第4共振器と、前記第4共振器に結合する第2端共振器とを有し、前記第1端共振器と前記第2端共振器との結合及び前記第1共振器と前記第4共振器との結合及び前記第2共振器と前記第3共振器との結合が同相である第1複素数ブロックと、

第5端共振器と、前記第5端共振器に結合する第7共振器と、前記第7共振器に結合する第8共振器と、前記第8共振器に結合する第9共振器と、前記第9共振器に結合する第10共振器と、前記第10共振器に結合する第6端共振器とを有し、前記第5端共振器と前記第6端共振器との結合及び前記第7共振器と前記第10共振器との結合及び前記第8共振器と前記第9共振器との結合が同相である第2複素数ブロックとを備え、

前記第1複素数ブロック及び前記第2複素数ブロックは单路結合されていることを特徴とするフィルタ回路。

【請求項9】

前記複素ブロックにおいて、

前記第1端共振器と前記第1共振器の結合が、前記第4共振器と前記第2端共振器の結合より大きいことを特徴とする請求項1、請求項4または請求項8のいずれかに記載のフィルタ回路。

【請求項10】

前記共振ブロック内の共振器の一つは超電導体により形成されていることを特徴とする請求項1、請求項4または請求項8のいずれかに記載のフィルタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、帯域通過フィルタに関し、特に、通過帯域内において群遅延時間偏差が良好な遅延時間補償形帯域通過フィルタに関する。

【0002】

【従来の技術】

無線または有線で情報通信を行う通信機器は、アンプ、ミキサ、フィルタなど

の各種の高周波部品から構成されている。この中で、帯域通過フィルタは、共振器を複数個並べて特定の周波数帯の信号のみを通過させる機能を有する。

【0003】

通信システムで帯域通過フィルタには、隣接する周波数帯域間で干渉を起こさないようなスカート特性が要求される。ここで、スカート特性とは、通過帯域端部から阻止域に至る減衰の度合いである。即ち、急峻なスカート特性を有する帯域通過フィルタを用いることで、周波数を有効に利用することができる。

【0004】

一方、通信システムで帯域通過フィルタには、通過帯域内で平坦な群遅延特性が要求される。一般に、群遅延補償は、複素周波数 s に関する伝達関数の実数零点および複素数零点により行われる。

【0005】

群遅延特性を平坦にするために、フィルタの後段に等化器を接続する方法がある。しかし、等化器の損失により挿入損失が増大するという問題がある。

【0006】

等化器を用いずに、フィルタ回路自身で群遅延補償するフィルタとしては、非特許文献1で報告されているカノニカルフィルタがある。これは、1番目からN番目の共振器が順番に主結合し、1番目の共振器とN番目の共振器、2番目の共振器とN-1番目の共振器などが副結合しており、合計 $N/2 - 1$ 個の副結合が存在する。

【0007】

6段以上のカノニカルフィルタでは、実数および複素数の零点をもたせることにより柔軟な群遅延補償が可能となっており、これまで導波管フィルタや誘電体フィルタに適用してきた。しかし、カノニカルフィルタの伝達関数の零点は、すべての副結合が複雑に相互作用して決定されているため、フィルタ特性の調整が困難であるという問題点がある。さらに、マイクロストリップ線路、ストリップ線路、あるいはコプレーナ線路のような平面回路でカノニカルフィルタ型に多数の共振器を配置すると、不要な寄生結合を抑制することが極めて困難であり、所望の特性を得ることが困難であるという問題点がある。

【0008】

カノニカルフィルタの変形としては、非特許文献2で報告されている導波管フィルタがある。しかし、通常のカノニカルフィルタよりもさらに複雑に共振器が結合しており、フィルタ特性の調整は困難であり、マイクロストリップ線路、ストリップ線路、あるいはコプレーナ線路のような平面回路で実現することは極めて困難であるという問題点がある。

【0009】

平面回路で急峻なスカート特性と群遅延補平坦化を同時に実現したフィルタとしては、非特許文献3で報告されているカスケーディド・クアドゥルプレットフィルタがある。カスケーディド・クアドゥルプレットは、4つの共振器が1組になり1つの副結合を有する構成をとっており、伝達関数の純虚数零点により減衰極を設けて急峻なスカート特性を実現可能であり、実数零点により群遅延補償が可能である。そして、伝達関数の各零点と各副結合が一対一に対応しているため、フィルタ特性の調整が容易であり、また平面回路において不要な寄生結合を抑制した構成が可能であるという特長がある。しかし、カスケーディド・クアドゥルプレットフィルタは、伝達関数の複素数零点を実現できないため、柔軟な群遅延補償ができないという問題点がある。

【0010】

カスケーディド・クアドゥルプレットフィルタの例としては、非特許文献4で報告されている導波管8段フィルタがあり、これはカノニカル8段フィルタの1段目と8段目の結合をゼロとした回路の結合係数行列を回転変換することにより設計されている。1組の実数零点を設けることにより遅延補償されているが、複素零点をもたないため、十分な遅延補償がなされていない。

【0011】

伝達関数の純虚数零点により減衰極を設けて急峻なスカート特性を実現し、実数零点により群遅延補償したフィルタ回路の実現方法は、特許文献1でも述べられているが、伝達関数の複素数零点は用いることができないため、柔軟な群遅延補償ができないという問題点がある。

【0012】

【特許文献1】

特開2001-60803公報

【0013】**【非特許文献1】**

IEEE Transactions on Microwave Theory and Techniques、第18巻(1970年)、第290頁

【非特許文献2】

IEEE Transactions on Microwave Theory and Techniques、第30巻(1982年)、第1300頁

【非特許文献3】

IEEE Transactions on Microwave Theory and Techniques、第43巻(1995年)、第2940頁

【非特許文献4】

IEEE Transactions on Microwave Theory and Techniques、第29巻(1981年)、第51頁

【0014】**【発明が解決しようとする課題】**

以上述べたように、群遅延補償するための伝達関数の実数零点および複素数零点の両者が実現可能でかつ、フィルタ特性の調整が容易でかつ、マイクロストリップ線路、ストリップ線路、またはコプレーナ線路のような平面回路において、不要な寄生結合を抑制した構成が可能なフィルタ回路はなかった。

【0015】**【課題を解決するための手段】**

本発明の実施形態は、

第1端共振器と、前記第1端共振器に結合する第1共振器と、前記第1共振器に結合する第2共振器と、前記第2共振器に結合する第3共振器と、前記第3共振器に結合する第4共振器と、前記第4共振器に結合する第2端共振器とを有し、前記第1端共振器と前記第2端共振器との結合及び前記第1共振器と前記第4共振器との結合及び前記第2共振器と前記第3共振器との結合が同相である複素数

ブロックと、伝達関数の実数零点及び伝達関数の純虚数零点を実現する実純虚数ブロックとを備え、前記複素数ブロック及び前記実純虚数ブロックは単路結合されていることを特徴とするフィルタ回路である。

【0016】

ここで、

前記実純虚数ブロックは、第3端共振器と、第3端共振器に結合する第5共振器と、前記第5共振器に結合する第6共振器と、前記第6共振器に結合する第7共振器と、前記第7共振器に結合する第8共振器と、前記第8共振器に結合する第4端共振器とを有し、前記第3端共振器と前記第4端共振器との結合及び前記第5共振器と前記第8共振器との結合及び前記第6共振器と前記第7共振器との結合の内、隣り合う結合の1組が同相であるってもよい。

【0017】

前記実純虚数ブロックは、第3端共振器と、第3端共振器に結合する第5共振器と、前記第5共振器に結合する第6共振器と、前記第6共振器に結合する第7共振器と、前記第7共振器に結合する第8共振器と、前記第8共振器に結合する第4端共振器とを有し、前記第3端共振器と前記第4端共振器との結合及び前記第5共振器と前記第8共振器との結合及び前記第6共振器と前記第7共振器との結合の内、隣り合う結合が逆相であってもよい。

【0018】

また、本発明の実施形態は、

第1端共振器と、前記第1端共振器に結合する第1共振器と、前記第1共振器に結合する第2共振器と、前記第2共振器に結合する第3共振器と、前記第3共振器に結合する第4共振器と、前記第4共振器に結合する第2端共振器とを有し、前記第1端共振器と前記第2端共振器との結合及び前記第1共振器と前記第4共振器との結合及び前記第2共振器と前記第3共振器との結合が同相である複素数ブロックと、伝達関数の実数零点を実現する実数ブロック及び伝達関数の純虚数零点を実現する純虚数ブロックの少なくとも一方ブロックとを備え、前記複素数ブロック及び前記一方ブロックは単路結合されていることを特徴とするフィルタ回路である。

【0019】

前記実数ブロックと、前記純虚数ブロックとを備えてもよい。

【0020】

前記実数ブロックは、第3端共振器と、第3端共振器に結合する第5共振器と、前記第5共振器に結合する第6共振器と、前記第6共振器に結合する第4端共振器とを有し、前記第3端共振器と前記第4端共振器との結合及び前記第5共振器と前記第6共振器との結合が同相であってもよい。

【0021】

前記純虚数ブロックは、第3端共振器と、第3端共振器に結合する第5共振器と、前記第5共振器に結合する第6共振器と、前記第6共振器に結合する第4端共振器とを有し、前記第3端共振器と前記第4端共振器との結合及び前記第5共振器と前記第6共振器との結合が逆相であってもよい。

【0022】

また、本発明の実施形態は、第1端共振器と、前記第1端共振器に結合する第1共振器と、前記第1共振器に結合する第2共振器と、前記第2共振器に結合する第3共振器と、前記第3共振器に結合する第4共振器と、前記第4共振器に結合する第2端共振器とを有し、前記第1端共振器と前記第2端共振器との結合及び前記第1共振器と前記第4共振器との結合及び前記第2共振器と前記第3共振器との結合が同相である第1複素数ブロックと、第5端共振器と、前記第5端共振器に結合する第7共振器と、前記第7共振器に結合する第8共振器と、前記第8共振器に結合する第9共振器と、前記第9共振器に結合する第10共振器と、前記第10共振器に結合する第6端共振器とを有し、前記第5端共振器と前記第6端共振器との結合及び前記第7共振器と前記第10共振器との結合及び前記第8共振器と前記第9共振器との結合が同相である第2複素数ブロックとを備え、前記第1複素数ブロック及び前記第2複素数ブロックは単路結合されていることを特徴とするフィルタ回路。

【0023】

また、前記複素ブロックにおいて、前記第1端共振器と前記第1共振器の結合が、前記第4共振器と前記第2端共振器の結合より大きくても良い。

【0024】

前記共振ブロック内の共振器の一つは超電導体により形成されていてもよい。

【0025】**【発明の実施の形態】**

以下、本発明の実施形態を、図面を参照して説明する。

【0026】

まず、本発明に係るフィルタの基本的な構成の例を説明する。

【0027】

図1は、本発明のフィルタの基本的な構成を説明するためのパターン図である。

【0028】

厚さ約0.43mm、比誘電率約10のMgO基板（図示略）上に超伝導マイクロストリップ線路フィルタを形成する。ここで、マイクロストリップ線路の超伝導体は、厚さ約500nmのY系銅酸化物高温超伝導薄膜を用い、ストリップ導体の線路幅は約0.4mmである。超伝導薄膜は、レーザー蒸着法、スパッタ法あるいは共蒸着法などにより形成することができる。

【0029】

共振器11～共振器18は、オープンループ型半波長共振器である。

【0030】

共振器11及び共振器18は外部と接続され、励振部1及び励振部2を構成している。

【0031】

また、共振器12～共振器17は、この順番に結合し、6つの共振器で複素数ブロック3を構成している。共振器12及び共振器17は、複素数ブロック3の端共振器となる。さらに、共振器12と共振器17、共振器13と共振器16、共振器14と共振器15が磁気的に結合している。即ち、共振器12と共振器17、および共振器13と共振器16、および共振器14と共振器15の結合はすべて同相である。

【0032】

本明細書において、結合が同相とは、磁気的結合同士または電気的結合同士をいう。反対に、磁気的結合と電気的結合とは逆相という。

【0033】

即ち、図1においては、複素数ブロック3の共振器12と共振器17、共振器13と共振器16、共振器14と共振器15の結合はすべて磁気的結合により構成されているが、これらの結合は全て電気的結合であってもよい。これらの結合が同相であれば、複素数零点を再現することが可能である。また、1組の複素数零点ではなく、2組の実数零点を実現するように設計することも可能である。複素数零点または実数零点を複素平面上のどこに設けるかは、複素数ブロック3を構成する各共振器の配置により設計できる。例えば、各共振器間の距離を変化させることにより調整できる。

【0034】

本明細書では、便宜上、複素数ブロック3によって実現できる1組の複素数零点及び2組の実数零点を併せて複素数零点と呼ぶ。

【0035】

この複素数ブロック3は、伝達関数の複素数零点を実現している。伝達関数の複素数零点を実現することにより、中心周波数について非対称に群遅延補償が可能である。

【0036】

共振器12と共振器17は複素数ブロック3の端部であり、複素数ブロック3の入出力を担い、それぞれ共振器11及び共振器18と結合している。従って、励振部1と励振部2とは複素数ブロック3を介して結合している。共振器11と共振器12の結合のみにより、励振部1と複素数ブロック3が結合し、共振器17と共振器18との結合のみにより、励振部2と複素数ブロック3が結合している。ただし、共振器11と共振器12の結合のみ、と表現したが、無視し得る弱い結合は存在し得るのは言うまでもない。即ち、励振部1と励振部2との空間を介した直接的結合は、距離が大きいため無視できる。空間を介した、励振部1と励振部2との結合を無視できることは、回路シミュレーションにおいて、この結合を考慮した場合と、しない場合でフィルタ特性が変化しないことにより確かめ

られる。もし、励振部1と励振部2との複素数ブロック3を介さない結合が存在すると、従来のカノニカルフィルタのように、フィルタ特性の調整が困難となるので注意を要する。

【0037】

図1では、励振部1及び励振部2が、それぞれ共振器11、共振器18を備える例を示している。このように、励振部が共振器を備えていると、フィルタ段数の増加による一層のスカート特性の急峻化、及び群遅延特性の平坦化を図ることができる。しかし、伝達関数の複素数零点を形成するという機能には影響はしないので、外部からの信号線が共振ブロック3の端部に直接接続していてもよい。さらに、複数の共振器を単路結合して、信号伝達路を形成して、励振部とすることもできることはいうまでもない。

【0038】

本明細書では、共振器やブロックが単路結合する、とは、信号の伝達経路がひとつであるように連なる共振器の結合をいう。また、便宜上、一つの共振器をブロック間に配置して結合を取る場合、共振器を配置せず、直接結合を取る場合も含む。なお、信号伝達経路が单数であればよく、幾何学的に直線配置するものに限定されるものではない。

【0039】

図2に、図1に示したフィルタの通過振幅特性の例を示す。横軸は周波数(GHz)、縦軸は通過強度(dB)である。なお、設計には、伝達関数の零点を土(1±0.4j)にもつ、基準化低域通過フィルタを用いた。ここにjは虚数単位である。

【0040】

中心周波数約2GHz、帯域幅約20MHzである。通過帯域内で通過強度がほぼ一定であり、周波数1.99GHz及び2.01GHz程度で通過強度が減衰し始める。中心周波数から離れるに従って、通過強度は急激に減衰し、良好なスカート特性が実現できていることがわかる。即ち、不要な寄生結合に乱されることなく、所望の通過特性が実現されている。

【0041】

図3に、その群遅延特性の例を示す。横軸は周波数（GHz）、縦軸は遅延時間（ns）である。

【0042】

中心周波数約2GHzを中心にして、幅約20MHzの通過帯域内で、遅延時間が良好に平坦化している。即ち、伝達関数の複素数零点により平坦な群遅延特性が実現される。

【0043】

以上では、矩形共振器を用いる例を説明したが、さらに多くの曲折を有するメアンダオープンループ型（例えば図4）等のいわゆるオープンループ型共振器や、ヘアピン型共振器（例えば図5）など、種々の共振器を用いることが可能である。

【0044】

また、マイクロストリップラインで回路を構成する例を説明したが、ストリップ線路で回路を構成することも可能である。この他、導波管フィルタや誘電体フィルタでも同様の構成が可能である。図6に、導波管フィルタを用いる例を示す。ここで、導波管フィルタは、入出力端子51の間に、ブロック空洞部52と励振空洞部53とを備えている。各ブロック空洞部52、励振空洞部53の中心には、導体部54がある。ブロック空洞部52、励振空洞部53の結合は、上述のマイクロストリップラインと同様に設計することが可能である。このような構成により、従来のカノニカルフィルタよりもフィルタ特性の調整が容易となる。

【0045】

さらに、導波管フィルタや誘電体フィルタに使用される導体に超伝導体を用いることも可能である。

【0046】

この他、励振部1と励振部2とが、複素数ブロック3を介さず、直接結合することのないように、励振部1と励振部2との距離を大きくしたが、例えば、図7に示すように、銅などの金属の板を用いて、不要な寄生結合を抑制することも可能である。即ち、図1の構成に、金属板4を励振部1と励振部2の間に入れ、これを接地するなどして、直接結合を防止する。

【0047】

また、共振器間の結合はすべて共振器同士の位置関係で定めているが、共振器間に結合用線路を設けて結合させることも可能である。

(実施形態1)

図8は、本実施形態のフィルタのパターンを説明する図である。

【0048】

厚さ約0.43mm、比誘電率約10のMgO基板（図示略）上に超伝導マイクロストリップ線路を形成している。ここで、マイクロストリップ線路の超電導体は、厚さ約500nmのY系銅酸化物高温超伝導薄膜を用い、ストリップ導体の線路幅は約0.4mmである。超伝導薄膜は、レーザー蒸着法、スパッタ法あるいは共蒸着法などにより作製することができる。

【0049】

共振器41～共振器412は、オープンループ型半波長共振器である。

【0050】

共振器41～共振器46は、この順番に結合し、6つの共振器で複素数ブロック3を構成している。共振器41及び共振器46は、複素数ブロック3の端共振器となる。図8では、共振器41と共振器46、共振器42と共振器45、及び共振器43と共振器44の結合はすべて電気的である。従って、共振器41と共振器46の結合と、共振器42と共振器45の結合と、共振器43と共振器44の結合はすべて同相であり、伝達関数の複素数零点を実現している。ここでも、すべての結合を磁気的にして、同相とすることも可能である。

【0051】

また、共振器47～共振器412は、この順番に結合し、6つの共振器で実純虚数ブロック5を構成している。共振器47及び共振器412は実純虚数ブロック5の端共振器となる。さらに、この例では、共振器47と共振器412は電気的に結合、共振器48と共振器411及び共振器49と共振器410は磁気的に結合している。即ち、共振器47と共振器412との結合及び共振器48と共振器411との結合は逆相の関係である。また、共振器48と共振器411との結合及び共振器49と共振器410との結合は同相の関係である。

【0052】

ここで、逆相の関係は伝達関数の純虚数零点を実現している。また、同相の関係は伝達関数の実数零点を実現している。したがって、実純虚数ブロック5は、逆相と同相を併有すると、伝達関数の実数零点と純虚数零点の双方を実現する。さらに、逆相のみの場合は、伝達関数の純虚数零点2つを実現する。ただし、実純虚数ブロック5による零点は、複素平面上の実数軸上および虚数軸上にしか作ることができず、実数軸、虚数軸以外の複素数を零点とすることはできない。

【0053】

図8の場合は、実純虚数ブロック5は、純虚数零点と実数零点の双方を備えたブロックである。

【0054】

共振器41および共振器412は、外部と直接接続されている。図8では、外部と共振器41及び共振器412が直接接続される例を示したが、単路結合される複数の共振器を連ねて、励振部としてもよい。

【0055】

複素数ブロック3における共振器41と共振器42の結合を共振器45と共振器46の結合よりも大きくするのが好ましい。

【0056】

従来のカノニカルフィルタのようにこれらの結合を等しくすると、通過帯域内に大きなリップルをもつ、乱れた特性となる。これに対し、本実施例では一般化チェビシェフ関数によって伝達関数を記述しており、入出力ポートに近い共振器どうしの隣接結合を、入出力ポートから遠い共振器間の隣接結合よりも大きくしたほうが良い。

【0057】

また、共振器46と共振器47が結合している。これにより、複素数ブロック3と実純虚数ブロック5とが結合される。ここで、共振器46と共振器47の結合以外の、例えば、共振器45と共振器47の結合や、共振器46と共振器48の結合は、弱いため無視できる。図8では、共振器46と共振器47とが結合する例を示し、共振器46と共振器47は単路結合している。また、複素数ブロック

ク3と実純虚数ブロック5との結合には、ひとつ以上の共振器を配列して单路結合を取ることも可能である。

【0058】

共振器46と共振器47の結合以外の結合が無視できることは、回路シミュレーションにおいて、これらの結合を考慮した場合としない場合でフィルタ特性が変化しないことにより確かめられる。逆に、共振器46と47の結合を無視した回路シミュレーションを行うと、フィルタ特性が著しく乱れることがわかり、共振器46と47が主たる結合であることがわかる。

【0059】

もし、複素数ブロック3と実純虚数ブロック5とを2箇所以上で結合させたり、空間的に結合させると、従来のカノニカルフィルタのように、フィルタ特性の調整が困難となる。

【0060】

図9に、図8に示したフィルタの通過振幅特性の例を示す。設計には、伝達関数の零点を $\pm(1 \pm 0.4j)$ 、 $\pm 1.2j$ 、および ± 0.6 にもつ、基準化低域通過フィルタを用いた。ここに、 j は虚数単位である。

【0061】

中心周波数約2GHz、帯域幅約20MHzである。通過帯域内で通過強度がほぼ一定であり、周波数1.99GHz及び2.01GHz程度で通過強度が減衰し始める。

【0062】

ここでは、伝達関数の純虚数零点による減衰極81が通過帯域の両側に1個ずつ存在し、急峻なスカート特性を実現している。

【0063】

この減衰極81は、図8の構成においては、実純虚数ブロック5に含まれる逆相の数に対応している。即ち、共振器47と共振器412との結合及び共振器48と共振器411との結合が逆相になっており、共振器48と共振器411との結合及び共振器49と共振器410との結合が同相に成っていることに対応する。

【0064】

図10にその群遅延特性を示す。

【0065】

伝達関数の複素数零点および実数零点により、通過帯域内で平坦な群遅延特性が実現されている。

【0066】

本実施形態では、共振器はオープンループ型であるが、メアンダオープンループ型やヘアピン型など、種々の共振器を用いることが可能である。

【0067】

なお、本実施形態は、マイクロストリップラインで回路を構成したが、ストリップ線路で回路を構成することも可能である。あるいは、導波管フィルタや誘電体フィルタでも同様の構成が可能であり、従来のカノニカルフィルタよりもフィルタ特性の調整が容易となる。導波管フィルタや誘電体フィルタの導体部分に超伝導体を用いることも可能である。

【0068】

ここでも、不要な寄生結合は、例えば銅などの金属の板を用いて抑制することも可能である。

【0069】

また、本実施形態では、共振器間の結合はすべて、共振器どうしの位置関係で定めているが、共振器間に結合用線路を設けて結合させることも可能である。

(実施形態2)

図11は、本実施形態のフィルタのパターンを説明する図である。

【0070】

厚さ約0.43mm、比誘電率約10のMgO基板(図示略)上に超伝導マイクロストリップ線路を形成している。ここで、マイクロストリップ線路の超伝導体は、厚さ約500nmのY系銅酸化物高温超伝導薄膜を用い、ストリップ導体の線路幅は約0.4mmである。超伝導薄膜は、レーザー蒸着法、スパッタ法あるいは共蒸着法などにより作製することができる。

【0071】

共振器71～共振器720は、オープンループ型半波長共振器である。

【0072】

共振器72～共振器77、共振器714～共振器719は、各々順番に結合し、6つの共振器で複素数ブロック3、複素数ブロック6を構成している。この図では、複素数ブロック3、複素数ブロック6ともに磁気的結合のみの同相結合を含むものである。この複素数ブロック3及び複素数ブロック6は、ともに伝達関数の複素数零点を実現している。ここでも、電気的結合のみの同相結合を用いることができる。

【0073】

また、共振器78～共振器713は、順番に結合している。ここで、共振器78と共振器713は磁気的結合、共振器79と共振器712は電気的結合、共振器710と共振器711は磁気的結合をなす。従って、共振器78～共振器713は、逆相を2つ含む実純虚数ブロック7となっている。これら2個の逆相の結合により、2組の伝達関数の純虚数零点を実現している。

【0074】

共振器77と共振器78、共振器713と共振器714が結合することで、複素数ブロック3と複素数ブロック6が実純虚数ブロック7を介して結合している。即ち、複素数ブロック3と実純虚数ブロック7は単路結合している。また、複素数ブロック6と実純虚数ブロック7も単路結合している。

【0075】

特に、複素数ブロック3における共振器72と共振器73の結合を共振器76と共振器77の結合よりも大きくするのが好ましい。

【0076】

従来のカノニカルフィルタのようにこれらの結合を等しくすると、通過帯域内に大きなリップルをもつ、乱れた特性となる。これに対し、本実施例では一般化チェビシェフ関数によって伝達関数を記述しており、入出力ポートに近い共振器どうしの隣接結合を、入出力ポートから遠い共振器間の隣接結合よりも大きくしたほうが良い。

【0077】

励振部1は共振器71を、励振部2は共振器720を含み、これらの共振器71および共振器720は外部と接続している。また、共振器71は共振器72と結合し、共振器720は共振器719と結合することで、励振部1と複素数ブロック3が結合し、励振部2と複素数ブロック6が結合している。このようにして、励振部1と励振部2が結合される。ここでも、励振部1と複素数ブロック3との間を单路結合させても良いし、励振部2と複素数ブロック6との間を单路結合させても良い。

【0078】

共振器78～共振器713の共振器群を介さない、複素数ブロック3と複素数ブロック6との空間的結合（例えば、共振器75と共振器716の結合）も考えられるが、共振器間の距離が大きいため十分無視できる。これは、回路シミュレーションにおいて、この結合を考慮した場合としない場合でフィルタ特性が変化しないことにより確かめられる。

【0079】

もし、共振器78～共振器713の共振器群を介さない、複素数ブロック3と複素数ブロック6との空間的結合を考慮する必要がある配置を用いると、従来のカノニカルフィルタのように、フィルタ特性の調整が困難となる。

【0080】

ここでは、複素数ブロック3と複素数ブロック6との空間的結合を小さくするために、複素数ブロック間の距離を大きくしたが、例えば銅などの金属の板を用いて、不要な寄生結合を抑制することにより、空間的結合を抑えることも可能である。また、共振器間の結合はすべて、共振器どうしの位置関係で定めているが、共振器間に結合用線路を設けて結合させることも可能である。

【0081】

図12に、図11に示したフィルタの通過振幅特性の例を示す。設計には、伝達関数の零点を $\pm(1 \pm 0.4j)$ 、 $\pm 1.1j$ 、 $\pm 1.2j$ 、 ± 0.5 、および ± 0.6 にもつ、基準化低域通過フィルタを用いた。ここに j は虚数単位である。即ち、複素数ブロック3により複素数零点1組が実現され、実純虚数ブロック7が2組の純虚数零点を再現し、複素数ブロック6が2組の実数零点を再現す

る場合を示す。また、複素数ブロック3における共振器72と共振器73の結合を共振器76と共振器77の結合よりも大きくした。

【0082】

中心周波数約2GHz、帯域幅約20MHzである。伝達関数の2組の純虚数零点による2組の減衰極82、83が通過帯域の両側に存在し、急峻なスカート特性を実現している。すなわち、不要な寄生結合に乱されることなく、所望の通過特性が実現されている。

【0083】

図13にその群遅延特性を示す。

【0084】

伝達関数の複素数零点および実数零点により、通過帯域内で平坦な群遅延特性が実現されている。

【0085】

本実施形態では、共振器はオープンループ型であるが、メアンダオープンループ型やヘアピン型など、種々の共振器を用いることが可能である。

【0086】

なお、本実施形態は、マイクロストリップラインで回路を構成したが、ストリップ線路で回路を構成することも可能である。あるいは、導波管フィルタや誘電体フィルタでも同様の構成が可能であり、従来のカノニカルフィルタよりもフィルタ特性の調整が容易となる。導波管フィルタや誘電体フィルタの導体部分に超伝導体を用いることも可能である。

【0087】

本実施形態においては、2つの複素数ブロックと実純虚数ブロックを用いる例を説明したが、伝達関数の零点の必要から、更に複数ブロックを加えたり、実純虚数ブロックを追加したりすることが可能である。

(実施形態3)

図14は、本実施形態のフィルタのパターンを説明する図である。

【0088】

厚さ約0.43mm、比誘電率約10のMgO基板(図示略)上に超伝導マ

イクロストリップ線路を形成している。ここで、マイクロストリップ線路の超伝導体は、厚さ約500nmのY系銅酸化物高温超伝導薄膜を用い、ストリップ導体の線路幅は約0.4mmである。超伝導薄膜は、レーザー蒸着法、スパッタ法あるいは共蒸着法などにより作製することができる。

【0089】

共振器231～共振器2322は、オープンループ型半波長共振器である。

【0090】

共振器232～共振器237は、各々順番に結合し、6つの共振器で複素数ブロック3を構成している。

【0091】

また、共振器2316～共振器2321は、各々順番に結合し、6つの共振器で複素数ブロック6を構成している。

【0092】

この図では、複素数ブロック3、複素数ブロック6とともに磁気的結合のみの同相結合を含むものである。ここでも、電気的結合のみの同相結合を用いることができる。

【0093】

構造上は複素数ブロック3と複素数ブロック6は同じだが、設計により、伝達関数の複素数零点を各々1組実現することも、伝達関数の実数零点を2組ずつ実現することも可能である。また、伝達関数の複素数零点と実数零点とを実現することも可能である。

【0094】

共振器239～共振器2314は、順番に結合し、6つの共振器で実純虚数ブロック8となる。ここで、共振器239と共振器2314は電気的結合、共振器2310と共振器2313は磁気的結合、共振器2311と共振器2312は電気的結合をなす。従って、実純虚数ブロック8は、逆相を2つ含む共振器群となっている。これら2個の逆相の結合により、2組の伝達関数の純虚数零点を実現している。

【0095】

共振器237と共振器239は、共振器238を介して結合している。また、共振器2314と共振器2316は、共振器2315を介して結合している。これにより、複素数ブロック3と複素数ブロック6が実純虚数ブロック8を介して单路結合している。即ち、複素数ブロック3と実純虚数ブロック8は单路結合している。また、複素数ブロック6と実純虚数ブロック8も单路結合している。ここでは、複素数ブロック3と実純虚数ブロック8が1つの共振器238を介して結合する例を示したが、更に共振器を介して单路結合しても良い。また、複素数ブロック6と実純虚数ブロック8との結合についても同様である。

【0096】

ここでも、複素数ブロック3における共振器232と共振器233の結合を共振器236と共振器237の結合よりも大きくするのが好ましい。

【0097】

励振部1は共振器231を、励振部2は共振器2322を含み、これらの共振器231および共振器2322は外部と接続している。また、共振器231は共振器232と結合し、共振器2322は共振器2321と結合することで、励振部1と複素数ブロック3が結合し、励振部2と複素数ブロック6が結合している。このようにして、励振部1と励振部2が結合される。ここでも、励振部1と複素数ブロック3との間を单路結合させても良いし、励振部2と複素数ブロック6との間を单路結合させても良い。

【0098】

図15に、図14に示したフィルタの通過振幅特性の例を示す。設計には、伝達関数の零点を $\pm (1 \pm 0.4j)$ 、 $\pm 1.06j$ 、 $\pm 1.12j$ 、 ± 0.5 、および ± 0.6 にもつ、基準化低域通過フィルタを用いた。ここにjは虚数単位である。即ち、複素数ブロック3により複素数零点1組が、複素数ブロック6が2組の実数零点が、実純虚数ブロック8により2組の純虚数零点が実現されている場合である。

【0099】

中心周波数約2GHz、帯域幅約20MHzである。伝達関数の2組の純虚数零点による2組の減衰極が通過帯域の両側に存在し、急峻なスカート特性を実現

している。すなわち、不要な寄生結合に乱されることなく、所望の通過特性が実現されている。

【0100】

図16にその群遅延特性を示す。伝達関数の複素数零点および実数零点により、通過帯域内で平坦な群遅延特性が実現されている。

【0101】

本実施形態では、共振器はオープンループ型であるが、メアンダオープンループ型やヘアピン型など、種々の共振器を用いることが可能である。

【0102】

なお、本実施形態は、マイクロストリップラインで回路を構成したが、ストリップ線路で回路を構成することも可能である。あるいは、導波管フィルタや誘電体フィルタでも同様の構成が可能であり、従来のカノニカルフィルタよりもフィルタ特性の調整が容易となる。導波管フィルタや誘電体フィルタの導体部分に超伝導体を用いることも可能である。

(実施形態4)

図17は、本実施形態のフィルタのパターンを説明する図である。

【0103】

厚さ約0.43mm、比誘電率約10のMgO基板（図示略）上に超伝導マイクロストリップ線路を形成している。ここで、マイクロストリップ線路の超伝導体は、厚さ約500nmのY系銅酸化物高温超伝導薄膜を用い、ストリップ導体の線路幅は約0.4mmである。超伝導薄膜は、レーザー蒸着法、スパッタ法あるいは共蒸着法などにより作製することができる。

【0104】

共振器101から共振器1016は、オープンループ型半波長共振器である。

【0105】

共振器106～共振器1011は順番に結合し、6つの共振器で複素数ブロック3を構成している。共振器106と共振器1011、共振器107と共振器1010、及び共振器108と共振器109の結合はすべて磁気的である。従って、これらの結合は同相であり、複素数ブロック3は、伝達関数の複素数零点を実

現している。ここでも、すべての結合を電気的にして同相とすることも可能である。

【0106】

共振器102～共振器105は、この順番に結合し、4つの共振器で実数ブロック9を構成している。ここで、共振器102と共振器105との結合、共振器103と共振器104との結合は共に磁気的であり、同相である。実数ブロック9は、伝達関数の実数零点を1組実現する。ここでは、磁気的結合の同相である実数ブロック9を示したが、実数ブロック9内の結合が同相となっていれば良く、電気的結合による同相を含むようにしても良い。

【0107】

また、共振器1012～共振器1015は、この順番に結合し、4つの共振器で純虚数ブロック10を構成している。ここで、共振器1012と共振器1015との結合は磁気的であり、共振器1013と共振器1014との結合は電気的である。即ち、純虚数ブロック10は逆相を含む。純虚数ブロック10は、伝達関数の純虚数零点を1組実現する。純虚数ブロック10が逆相を含めば良いので、共振器1012と共振器1015との結合が電気的とし、共振器1013と共振器1014との結合が磁気的として、逆相としても良い。

【0108】

励振部1は共振器101を、励振部2は共振器1016を含み、これらの共振器101および共振器1016は外部と接続している。また、励振部1と実数ブロック9は、共振器101と共振器102との結合により結合される。励振部2と純虚数ブロック10は、共振器1015が共振器1016と結合することで、結合される。ここでも、励振部1と実数ブロック9とが、励振部2と純虚数ブロック10とが、各々単路結合していれば良い。

【0109】

さらに、実数ブロック9と複素数ブロック3は、共振器105と共振器106との結合により、複素数ブロック3と純虚数ブロック10は、共振器1011と共振器1012との結合により結合されている。

【0110】

ここでも、入出力ポートに近い共振器どうしの隣接結合を、入出力ポートから遠い共振器間の隣接結合よりも大きくしたほうが良い。

【0111】

複素数ブロック3を介さずに、空間を介した実数ブロック9と純虚数ブロック10との結合（例えば、共振器104と共振器1013）が考えられるが、共振器間の距離が大きいために無視することができる。

【0112】

空間を介した、励振部1と励振部2の結合を無視できることは、回路シミュレーションにおいて、この結合を考慮した場合としない場合でフィルタ特性が変化しないことにより確かめられる。

【0113】

もし、複素数ブロック3を介さないような励振部1と励振部2との結合や、実数ブロック9と純虚数ブロック10との結合などを付加すると、従来のカノニカルフィルタのように、フィルタ特性の調整が困難となる。

【0114】

本実施形態では、複素数ブロック3を介さない、励振部1と励振部2との結合等を小さくするために、励振部1と励振部2との距離等を大きくしたが、例えば銅などの金属の板を用いて、不要な寄生結合を抑制することも可能である。

【0115】

また、共振器間の結合はすべて、共振器どうしの位置関係で定めているが、共振器間に結合用線路を設けて結合させることも可能である。

【0116】

図18に、図17に示したフィルタの通過振幅特性の例を示す。設計には、伝達関数の零点を $\pm(1 \pm 0.4j)$ 、 $\pm 1.2j$ 、および ± 0.6 にもつ、基準化低域通過フィルタを用いた。ここに、 j は虚数単位である。

【0117】

本実施形態では、伝達関数の複素数零点を記述するために、複素数ブロック3を用いており、実数零点は、実数ブロック9で記述し、純虚数零点は、純虚数ブロック10で記述している。

【0118】

中心周波数約2GHz、帯域幅約20MHzである。

【0119】

伝達関数の純虚数零点による減衰極が通過帯域の両側に1個ずつ存在し、急峻なスカート特性を実現している。すなわち、不要な寄生結合に乱されることなく、所望の通過特性が実現されている。

【0120】

図19に群遅延特性を示す。

【0121】

伝達関数の複素数零点および実数零点により、通過帯域内で平坦な群遅延特性が実現されている。

【0122】

また、本実施形態では、共振器はオープンループ型であるが、メアンダオープループ型やヘアピン型など、種々の共振器を用いることが可能である。

【0123】

なお、本実施形態は、マイクロストリップラインで回路を構成したが、ストリップ線路で回路を構成することも可能である。あるいは、導波管フィルタや誘電体フィルタでも同様の構成が可能であり、従来のカノニカルフィルタよりもフィルタ特性の調整が容易となる。導波管フィルタや誘電体フィルタの導体部分に超伝導体を用いることも可能である。

【0124】

また、本実施形態では、複素数ブロックと実数ブロックと純虚数ブロックを用いる例を説明したが、伝達関数の零点の必要により、複素数ブロックと実数ブロックのみのフィルタ、複素数ブロックと純虚数ブロックのみのフィルタも用いることが可能である。さらに、複素数ブロックと複数の実数ブロックや純虚数ブロック、複数の複素数ブロックと複数の実数ブロックや純虚数ブロックを用いることも可能である。

(実施形態5)

図20は、本実施形態のフィルタのパターンを説明する図である。

【0125】

厚さ約0.43mm、比誘電率約10のMgO基板（図示略）上に超伝導マイクロストリップ線路を形成している。ここで、マイクロストリップ線路の超伝導体は、厚さ約500nmのY系銅酸化物高温超伝導薄膜を用い、ストリップ導体の線路幅は約0.4mmである。超伝導薄膜は、レーザー蒸着法、スパッタ法あるいは共蒸着法などにより作製することができる。

【0126】

共振器171から共振器1714は、オープンループ型半波長共振器である。

【0127】

共振器179～共振器1714は順番に結合し、6つの共振器で複素数ブロック3を構成している。共振器179と共振器1714、共振器1710と共振器1713、及び共振器1711と共振器1712の結合はすべて電気的である。従って、これらの結合は同相であり、複素数ブロック3は、伝達関数の複素数零点を実現している。ここでも、すべての結合を磁気的にして同相とすることも可能である。

【0128】

ここでも、出入力ポートに近い共振器どうしの隣接結合を、出入力ポートから遠い共振器間の隣接結合よりも大きくしたほうが良い。

【0129】

共振器171～共振器174は、この順番に結合し、4つの共振器で実数ブロック9を構成している。ここで、共振器171と共振器174、及び共振器172と共振器173はともに電気的に結合している。即ち、これらの結合は同相であり、伝達関数の実数零点を実現している。

【0130】

共振器175～共振器178は、この順番に結合し、4つの共振器で純虚数ブロック10を構成している。共振器175と共振器178は電気的に結合しており、共振器176と共振器177は磁気的に結合している。即ち、これらの結合は逆相であり、伝達関数の純虚数零点を実現している。

【0131】

実数ブロック9と純虚数ブロック10とは、共振器174と共振器175の結合により、結合している。また、純虚数ブロック10と複素数ブロック3とは、共振器178と共振器179の結合により、結合している。したがって、実数ブロック9と純虚数ブロック10とは单路結合している。また、純虚数ブロック10と複素数ブロック3とは单路結合している。

【0132】

さらに、各ブロックが单路結合していれば良く、ブロックの配置は任意である。

【0133】

図20では、共振器171、共振器1714が、外部と直接接続されている。ここでも、外部と共振器171の間や外部と共振器1714との間に共振器を介在させて单路結合を取ることが可能である。

【0134】

共振器178と共振器179の結合以外の、空間を介した実数ブロック9や純虚数ブロック10と複素数ブロック3との結合（例えば、共振器173と共振器1711）が考えられるが、共振器間の距離が大きいために無視することができる。

【0135】

空間を介した、実数ブロック9や純虚数ブロック10と複素数ブロック3の結合を無視できることは、回路シミュレーションにおいて、この結合を考慮した場合としない場合でフィルタ特性が変化しないことにより確かめられる。

【0136】

もし、空間を介した実数ブロック9や純虚数ブロック10と複素数ブロック3との結合を付加すると、従来のカノニカルフィルタのように、フィルタ特性の調整が困難となる。

【0137】

本実施形態では、空間を介したブロック間の結合を小さくするために、実数ブロック9や純虚数ブロック10と複素数ブロック3との距離を大きくしたが、例えば銅などの金属の板を用いて、不要な寄生結合を抑制することも可能である。

【0138】

また、共振器間の結合はすべて、共振器どうしの位置関係で定めているが、共振器間に結合用線路を設けて結合させることも可能である。

【0139】

図21に、図20に示したフィルタの通過振幅特性の例を示す。設計には、伝達関数の零点を $\pm (0.7 \pm 0.7j)$ 、 $\pm 1.1j$ 、および ± 0.65 にもつ、基準化低域通過フィルタを用いた。ここに、 j は虚数単位である。

【0140】

本実施形態では、伝達関数の複素数零点を記述するために、複素数ブロック3を用いており、実数零点は、実数ブロック9で記述し、純虚数零点は、純虚数ブロック10で記述している。

【0141】

中心周波数約2GHz、帯域幅約20MHzである。

【0142】

伝達関数の純虚数零点による減衰極が通過帯域の両側に1個ずつ存在し、急峻なスカート特性を実現している。すなわち、不要な寄生結合に乱されることなく、所望の通過特性が実現されている。

【0143】

図22に群遅延特性を示す。

【0144】

伝達関数の複素数零点および実数零点により、通過帯域内で平坦な群遅延特性が実現されている。

【0145】

また、本実施形態では、共振器はオープンループ型であるが、メアンダオープンループ型やヘアピン型など、種々の共振器を用いることが可能である。

【0146】

なお、本実施形態は、マイクロストリップラインで回路を構成したが、ストリップ線路で回路を構成することも可能である。あるいは、導波管フィルタや誘電体フィルタでも同様の構成が可能であり、従来のカノニカルフィルタよりもフィ

ルタ特性の調整が容易となる。導波管フィルタや誘電体フィルタの導体部分に超伝導体を用いることも可能である。

(実施形態6)

図23は、本実施形態のフィルタのパターンを説明する図である。

【0147】

厚さ約0.43mm、比誘電率約10のMgO基板(図示略)上に超伝導マイクロストリップ線路を形成している。ここで、マイクロストリップ線路の超伝導体は、厚さ約500nmのY系銅酸化物高温超伝導薄膜を用い、ストリップ導体の線路幅は約0.4mmである。超伝導薄膜は、レーザー蒸着法、スパッタ法あるいは共蒸着法などにより作製することができる。

【0148】

共振器201から共振器2016は、オープンループ型半波長共振器である。

【0149】

共振器2011～共振器2016は順番に結合し、6つの共振器で複素数ブロック3を構成している。共振器2011と共振器2016、共振器2012と共振器2015、及び共振器2013と共振器2014の結合はすべて電気的である。従って、これらの結合は同相であり、複素数ブロック3は、伝達関数の複素数零点を実現している。ここでも、すべての結合を磁気的にして同相とすることも可能である。

【0150】

ここでも、入出力ポートに近い共振器どうしの隣接結合を、入出力ポートから遠い共振器間の隣接結合よりも大きくしたほうが良い。

【0151】

共振器201～共振器204は、この順番に結合し、4個の共振器で実数ブロック9を構成している。共振器201と共振器204、及び共振器202と共振器203はともに電気的に結合している。即ち、これらの結合は同相であり、伝達関数の実数零点を実現している。ここでも、磁気的結合により同相とすることも可能である。

【0152】

共振器206～共振器209は、この順番に結合し、4個の共振器で純虚数ブロック10を構成している。共振器206と共振器209は磁気的に結合しており、共振器207と共振器208は電気的に結合している。即ち、これらの結合は逆相であり、伝達関数の純虚数零点を実現している。

【0153】

共振器201及び共振器2016は外部と直接接続されている。ここでも、外部と共振器201の間、外部と共振器2016との間に共振器を介在させて、単路結合を取ることが可能である。

【0154】

実数ブロック9と純虚数ブロック10とは、共振器205を介して単路結合している。ここでは、一つの共振器205を介する結合を例示したが、複数のブロックを介在させて単路結合をとっても良い。

【0155】

同様に、純虚数ブロック10と複素数ブロック3とは、共振器2010を介して単路結合している。ここでも、複数ブロックによる単路結合を取るようにも良い。

【0156】

共振器2010と共振器2011の結合以外の、空間を介した各ブロック間の結合（例えば、共振器204と共振器2013）が考えられるが、共振器間の距離が大きいために無視することができる。

【0157】

空間を介した、各ブロック間の結合を無視できることは、回路シミュレーションにおいて、この結合を考慮した場合としない場合でフィルタ特性が変化しないことにより確かめられる。

【0158】

もし、空間を介した各ブロック間の結合を付加すると、従来のカノニカルフィルタのように、フィルタ特性の調整が困難となる。

【0159】

本実施形態では、空間を介した各ブロック間の結合を小さくするために、ブロ

ック間の距離を大きくしたが、例えば銅などの金属の板を用いて、不要な寄生結合を抑制することも可能である。

【0160】

また、共振器間の結合はすべて、共振器同士の位置関係で定めているが、共振器間に結合用線路を設けて結合させることも可能である。

【0161】

図24に、図25に示したフィルタの通過振幅特性の例を示す。設計には、伝達関数の零点を土 $(0.7 \pm 0.7j)$ 、土 $1.1j$ 、および土 0.65 にもつ、基準化低域通過フィルタを用いた。ここに、 j は虚数単位である。

【0162】

本実施形態では、伝達関数の複素数零点を記述するために、複素数ブロック3を用いており、実数零点は、実数ブロック9で記述し、純虚数零点は、純虚数ブロック10記述している。

【0163】

中心周波数約 2GHz 、帯域幅約 20MHz である。

【0164】

伝達関数の純虚数零点による減衰極が通過帯域の両側に1個ずつ存在し、急峻なスカート特性を実現している。すなわち、不要な寄生結合に乱されることなく、所望の通過特性が実現されている。

【0165】

図25に群遅延特性を示す。

【0166】

伝達関数の複素数零点および実数零点により、通過帯域内で平坦な群遅延特性が実現されている。

【0167】

また、本実施形態では、共振器はオープンループ型であるが、メアンダオープンループ型やヘアピン型など、種々の共振器を用いることが可能である。

【0168】

なお、本実施形態は、マイクロストリップラインで回路を構成したが、ストリ

ップ線路で回路を構成することも可能である。あるいは、導波管フィルタや誘電体フィルタでも同様の構成が可能であり、従来のカノニカルフィルタよりもフィルタ特性の調整が容易となる。導波管フィルタや誘電体フィルタの導体部分に超伝導体を用いることも可能である。

（実施形態7）

図26は、本実施形態のフィルタのパターンを説明する図である。

【0169】

厚さ約0.43mm、比誘電率約10のMgO基板（図示略）上に超伝導マイクロストリップ線路を形成している。ここで、マイクロストリップ線路の超伝導体は、厚さ約500nmのY系銅酸化物高温超伝導薄膜を用い、ストリップ導体の線路幅は約0.4mmである。超伝導薄膜は、レーザー蒸着法、スパッタ法あるいは共蒸着法などにより作製することができる。

【0170】

共振器261～共振器2622は、オープンループ型半波長共振器である。

【0171】

共振器262～共振器267は、各々順番に結合し、6つの共振器で複素数ブロック3を構成している。

【0172】

また、共振器2616～共振器2621は、各々順番に結合し、6つの共振器で複素数ブロック6を構成している。

【0173】

また、共振器269～共振器2614は、各々順番に結合し、6つの共振器で複素数ブロック20を構成している。

【0174】

この図では、複素数ブロック3、複素数ブロック6は、ともに磁気的結合のみの同相結合を含むものである。ここでも、電気的結合のみの同相結合を用いることができる。

【0175】

また、複素数ブロック20は電気的結合のみの同相結合を含むものである。こ

こでも、磁気的結合のみの同相結合を用いることができる。

【0176】

構造上は複素数ブロック3、複素数ブロック6および複素数ブロック20は同じだが、設計により、伝達関数の複素数零点を各々1組実現することも、伝達関数の実数零点を2組ずつ実現することも可能である。また、伝達関数の複素数零点と実数零点とを実現することも可能である。

【0177】

ここでも、入出力ポートに近い共振器どうしの隣接結合を、入出力ポートから遠い共振器間の隣接結合よりも大きくしたほうが良い。

【0178】

共振器267と共振器269は、共振器268を介して結合している。また、共振器2614と共振器2616は、共振器2615を介して結合している。これにより、複素数ブロック3と複素数ブロック6が複素数ブロック20を介して単路結合している。即ち、複素数ブロック3と複素数ブロック20は単路結合している。また、複素数ブロック6と複素数ブロック20も単路結合している。ここでは、複素数ブロック3と複素数ブロック20が1つの共振器268を介して結合する例を示したが、更に共振器を介して単路結合しても良い。また、複素数ブロック6と第2複素数ブロック20との結合についても同様である。

【0179】

励振部1は共振器261を、励振部2は共振器2622を含み、これらの共振器261および共振器2622は外部と接続している。また、共振器261は共振器262と結合し、共振器2622は共振器2621と結合することで、励振部1と複素数ブロック3が結合し、励振部2と複素数ブロック6が結合している。このようにして、励振部1と励振部2が結合される。ここでも、励振部1と複素数ブロック3との間を単路結合させても良いし、励振部2と複素数ブロック6との間を単路結合させても良い。

【0180】

図27に、図26に示したフィルタの通過振幅特性の例を示す。設計には、伝達関数の零点を $\pm(1 \pm 0.3j)$ 、 $\pm(1.5 \pm 0.4j)$ 、および、 $\pm(2$

±0.5j)にもつ、基準化低域通過フィルタを用いた。ここにjは虚数単位である。即ち、複素数ブロック3により複素数零点1組が、複素数ブロック6により複素数零点1組が、複素数ブロック20により複素数零点1組が実現されている場合である。

【0181】

中心周波数約2GHz、帯域幅約20MHzである。ここでは伝達関数の純虚数零点による減衰極はないが、フィルタ段数が大きいため急峻なスカート特性を実現しており、不要な寄生結合に乱されることなく、所望の通過特性が実現されている。

【0182】

図28にその群遅延特性を示す。伝達関数の複素数零点を3組設けたことにより、通過帯域内で極めて平坦な群遅延特性が実現されている。

【0183】

本実施形態では、共振器はオープンループ型であるが、メアンダオープンループ型やヘアピン型など、種々の共振器を用いることが可能である。

【0184】

なお、本実施形態は、マイクロストリップラインで回路を構成したが、ストリップ線路で回路を構成することも可能である。あるいは、導波管フィルタや誘電体フィルタでも同様の構成が可能であり、従来のカノニカルフィルタよりもフィルタ特性の調整が容易となる。導波管フィルタや誘電体フィルタの導体部分に超伝導体を用いることも可能である。

【0185】

【発明の効果】

以上述べてきたように、本発明によれば、群遅延補償するための伝達関数の実数零点および複素数零点の両者が実現可能である。従って、スカート特性を減衰極により急峻化するための伝達関数の純虚数零点が実現可能で、フィルタ特性の調整が容易、かつマイクロストリップ線路、ストリップ線路のような平面回路において不要な寄生結合を抑制した構成が可能なフィルタ回路が実現される。

【図面の簡単な説明】

【図1】

本発明の基本構成を説明するためのフィルタ回路のパターン図。

【図2】

本発明の基本構成を説明するためのフィルタ回路の通過振幅特性図。

【図3】

本発明の基本構成を説明するためのフィルタ回路の群遅延特性図。

【図4】

メアンダオープンループ型共振器を用いた例。

【図5】

ヘアピン型共振器を用いた例。

【図6】

同軸空洞共振器を用いた場合の断面図。

【図7】

本発明の基本構成を説明するためのフィルタ回路の変形例。

【図8】

本発明の第1の実施形態に係るフィルタ回路のパターン図。

【図9】

本発明の第1の実施形態に係るフィルタ回路の通過振幅特性図。

【図10】

本発明の第1の実施形態に係るフィルタ回路の群遅延特性図。

【図11】

本発明の第2の実施形態に係るフィルタ回路のパターン図。

【図12】

本発明の第2実施形態に係るフィルタ回路の通過振幅特性図。

【図13】

本発明の第2の実施形態に係るフィルタ回路の群遅延特性図。

【図14】

本発明の第3の実施形態に係るフィルタ回路のパターン図。

【図15】

本発明の第3の実施形態に係るフィルタ回路の通過振幅特性図。

【図16】

本発明の第3の実施形態に係るフィルタ回路の群遅延特性図。

【図17】

本発明の第4の実施形態に係るフィルタ回路のパターン図。

【図18】

本発明の第4の実施形態に係るフィルタ回路の通過振幅特性図。

【図19】

本発明の第4の実施形態に係るフィルタ回路の群遅延特性図。

【図20】

本発明の第5の実施形態に係るフィルタ回路のパターン図。

【図21】

本発明の第5の実施形態に係るフィルタ回路の通過振幅特性図。

【図22】

本発明の第5の実施形態に係るフィルタ回路の群遅延特性図。

【図23】

本発明の第6の実施形態に係るフィルタ回路のパターン図。

【図24】

本発明の第6の実施形態に係るフィルタ回路の通過振幅特性図。

【図25】

本発明の第6の実施形態に係るフィルタ回路の群遅延特性図。

【図26】

本発明の第7の実施形態に係るフィルタ回路のパターン図。

【図27】

本発明の第7の実施形態に係るフィルタ回路の通過振幅特性図。

【図28】

本発明の第7の実施形態に係るフィルタ回路の群遅延特性図。

【符号の説明】

1、2 励振部

3、6 複素数ブロック

5、8 実純虚数ブロック

9 実数ブロック

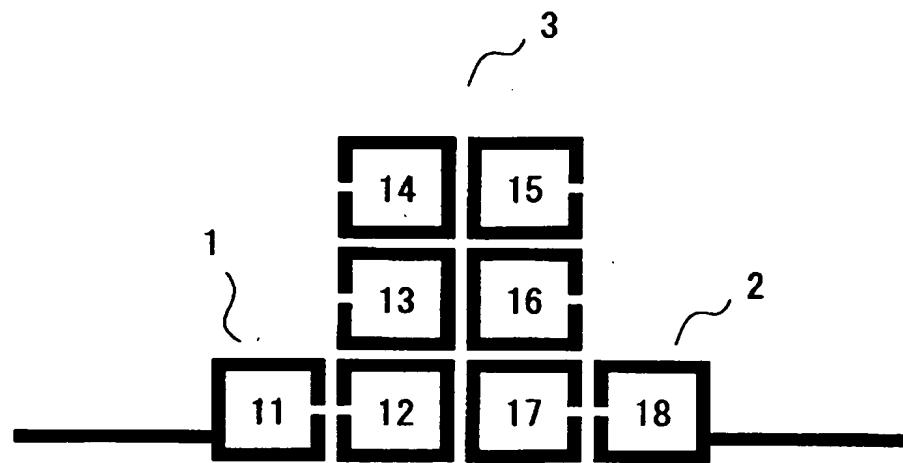
10 純虚数ブロック

20 第2複素数ブロック

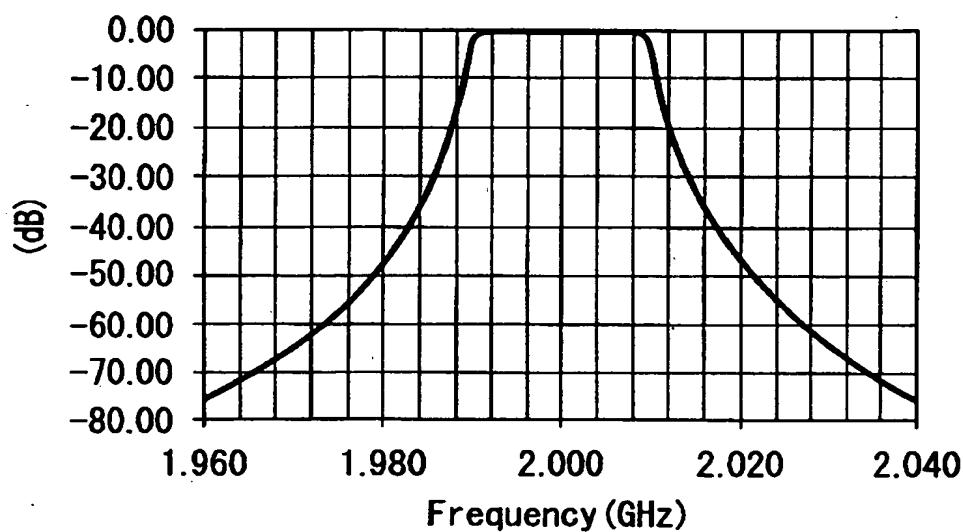
11～18 共振器

【書類名】 図面

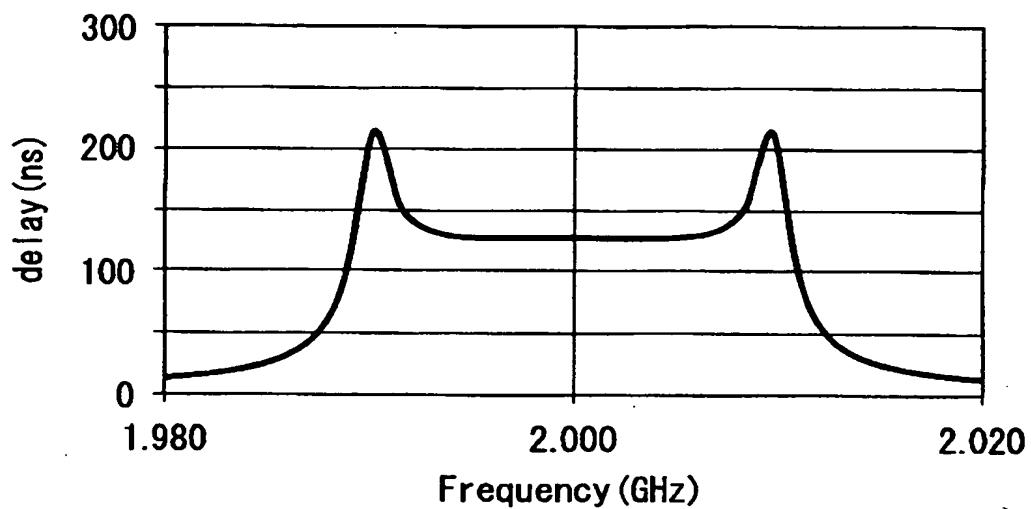
【図1】



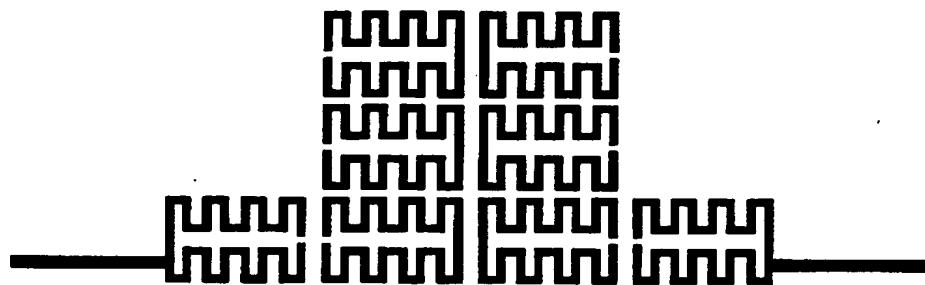
【図2】



【図3】



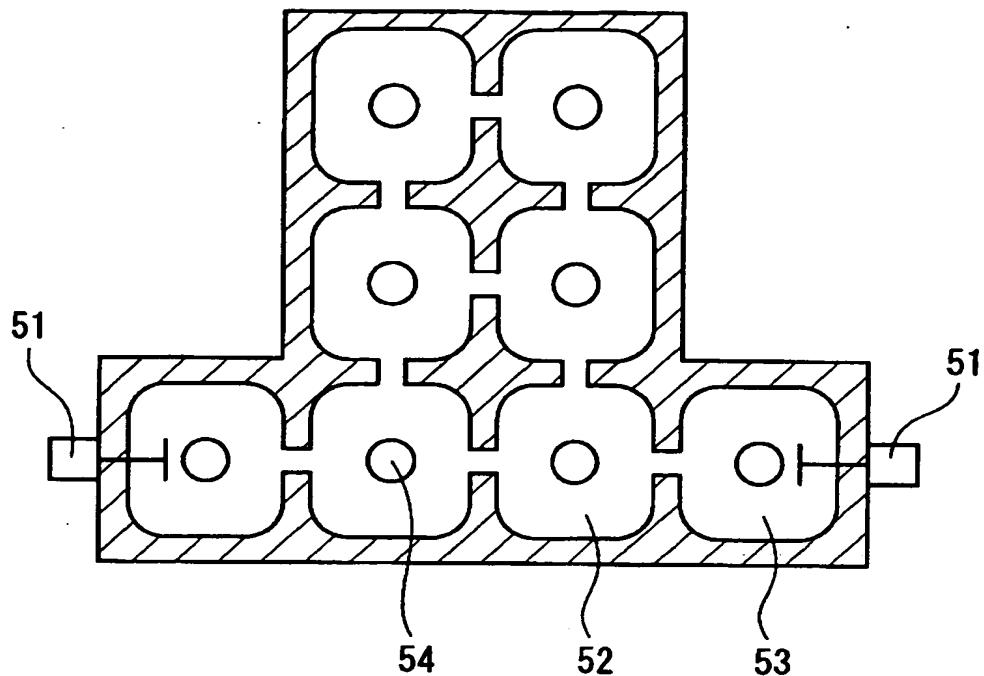
【図4】



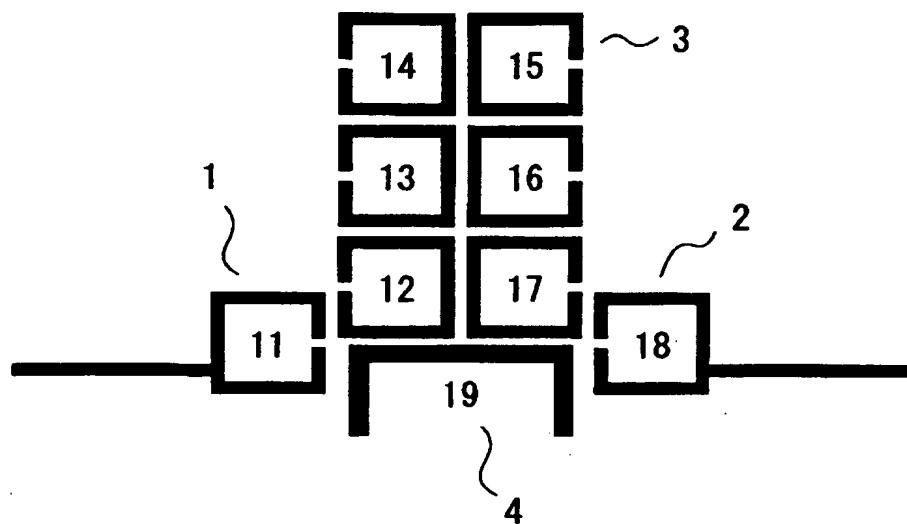
【図5】



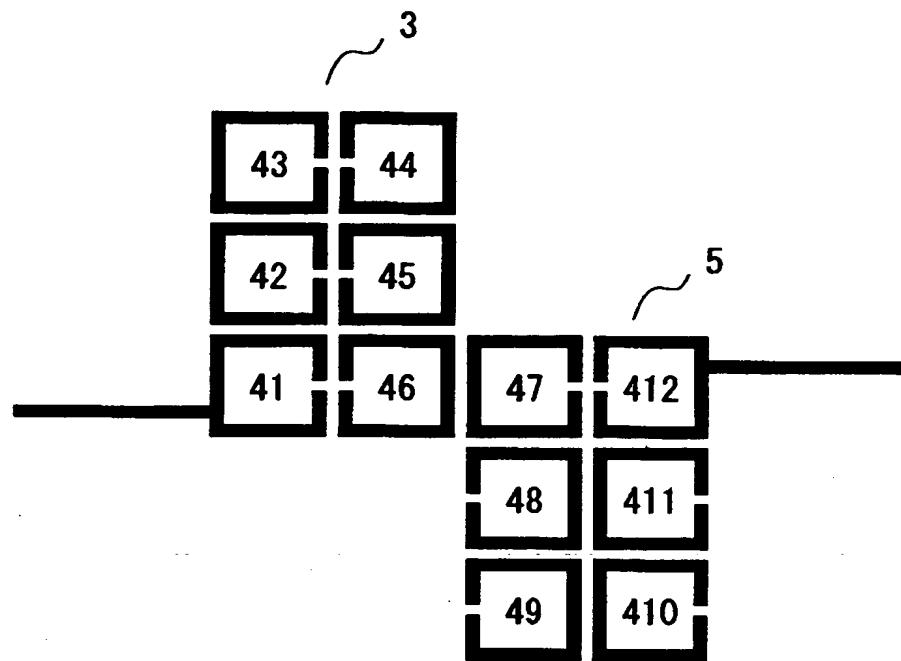
【図6】



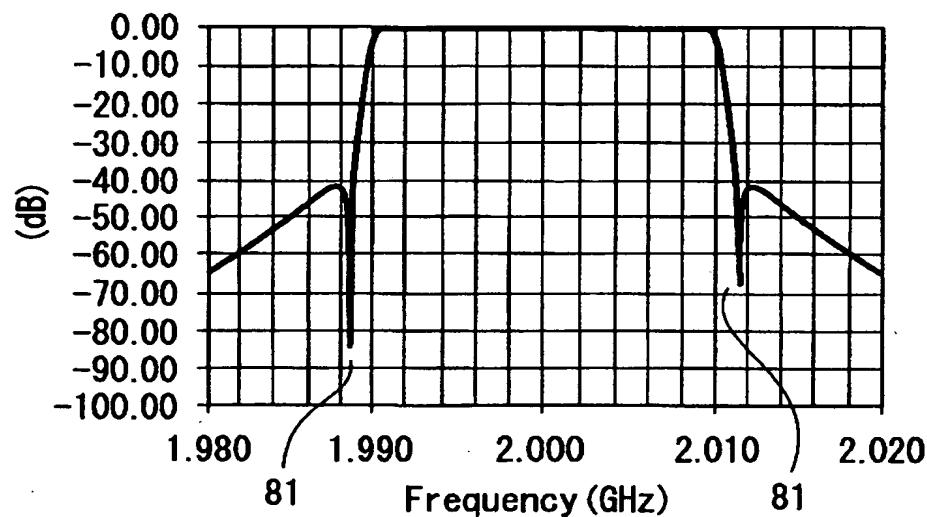
【図7】



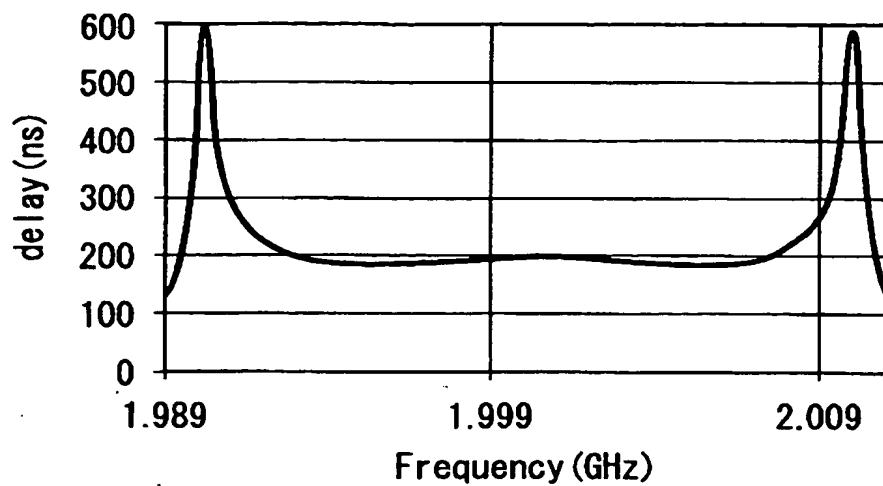
【図8】



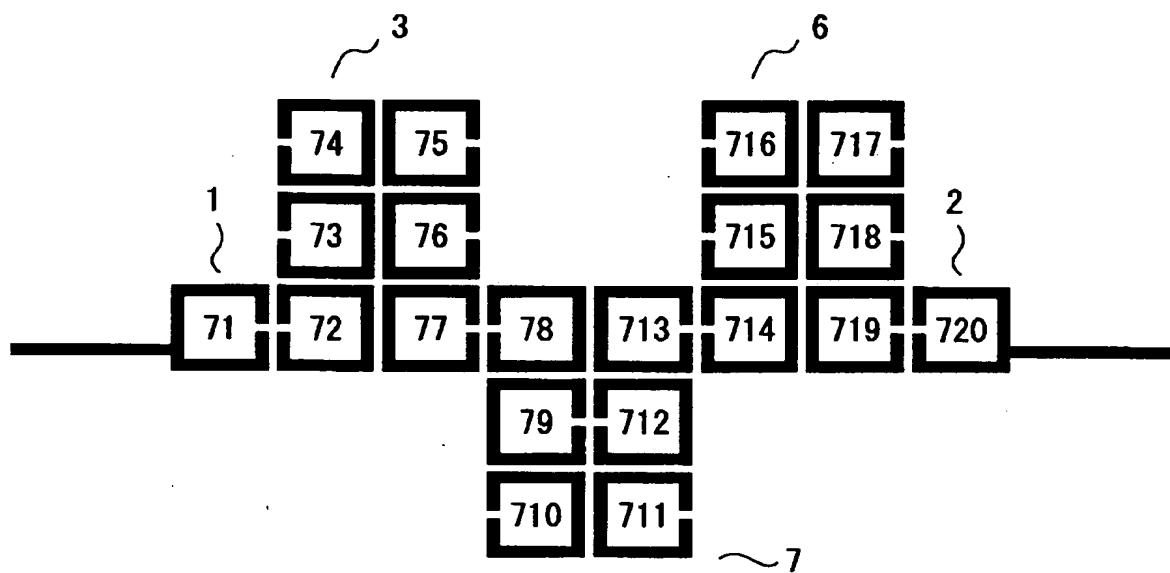
【図9】



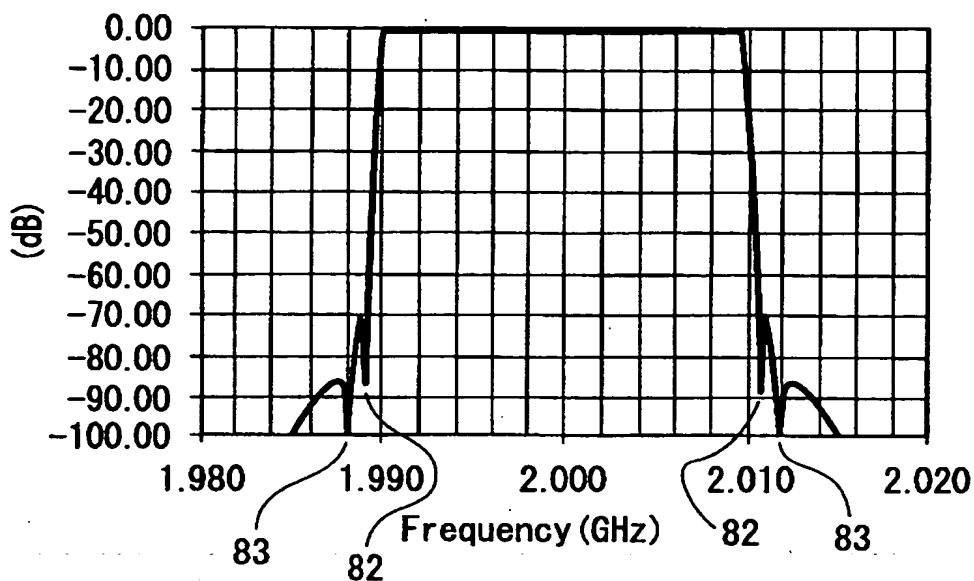
【図10】



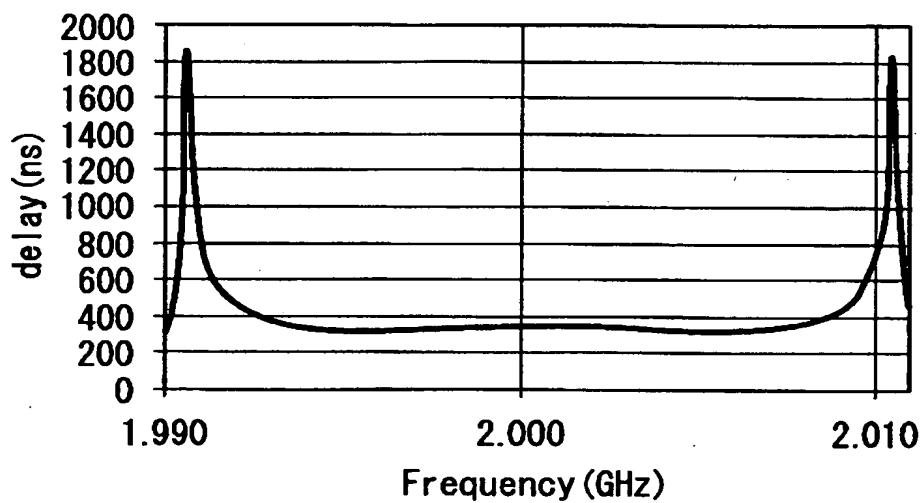
【図11】



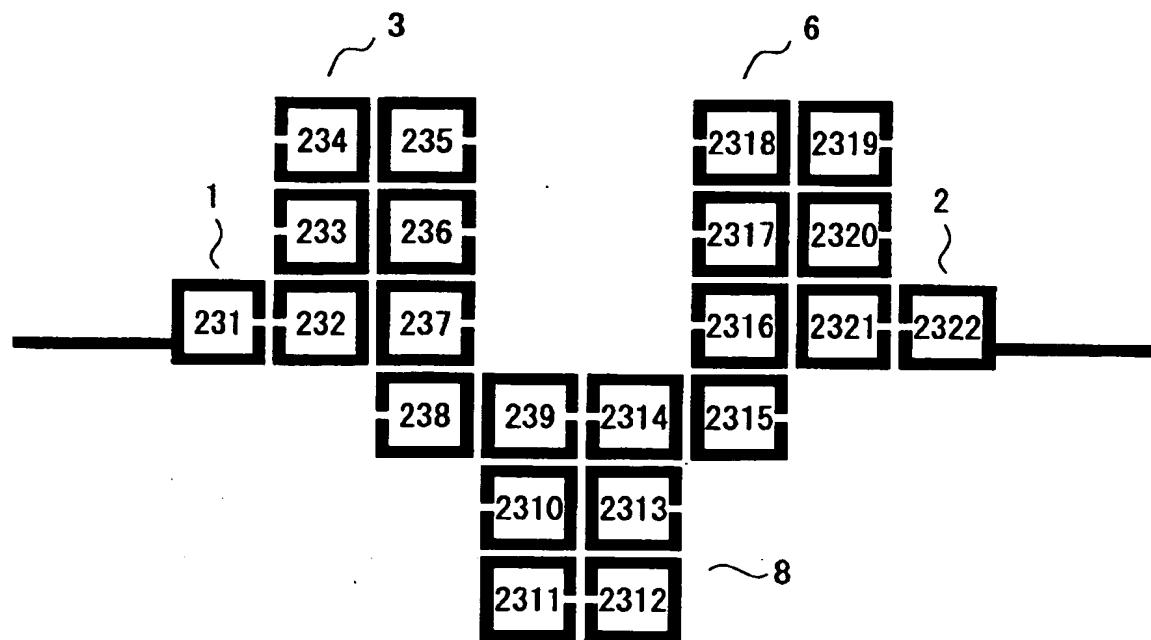
【図12】



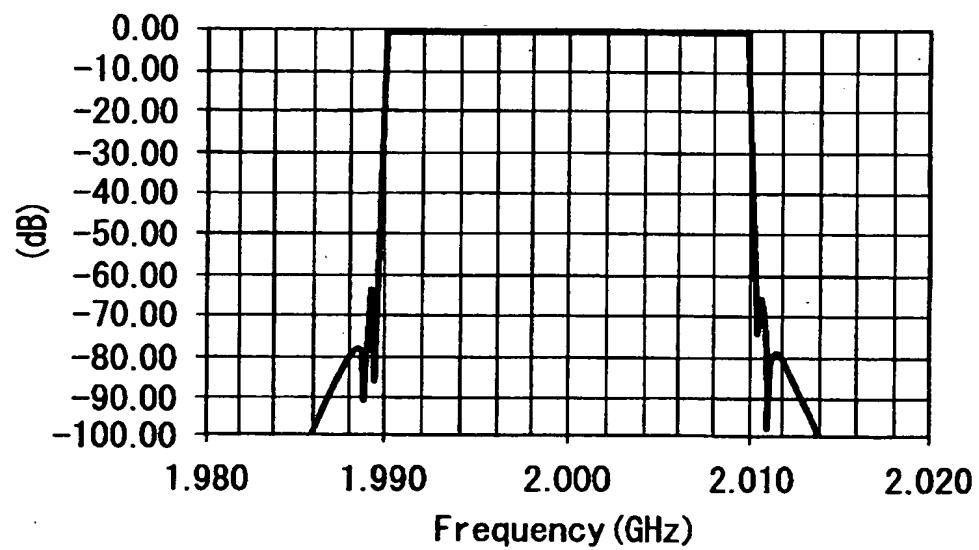
【図13】



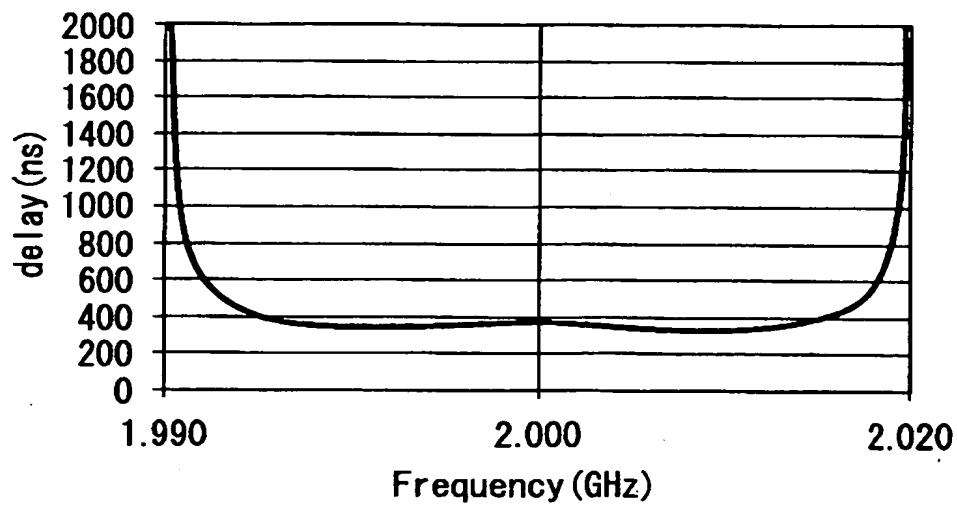
【図14】



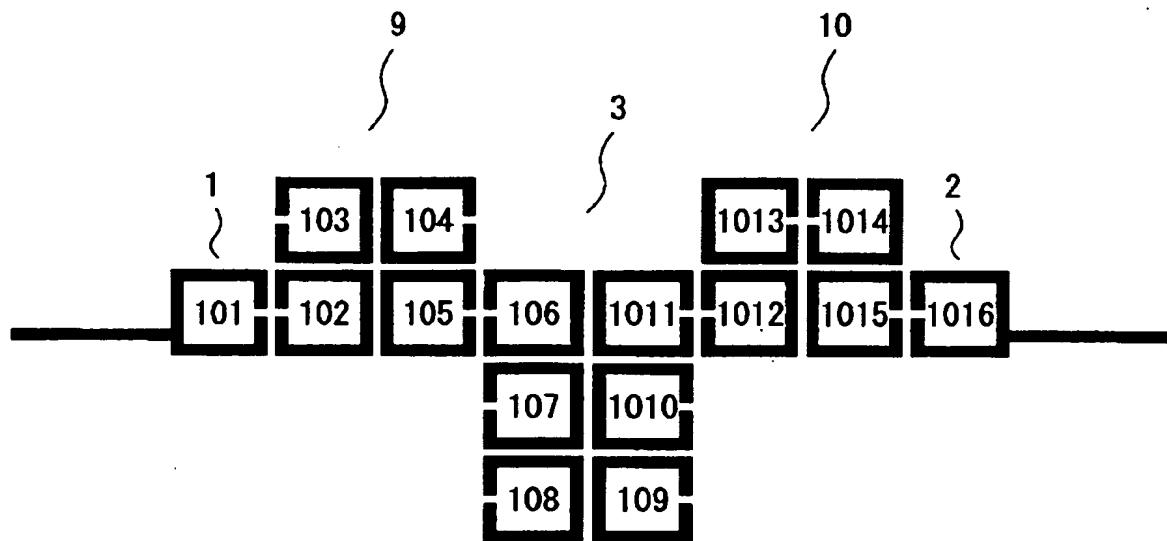
【図15】



【図16】

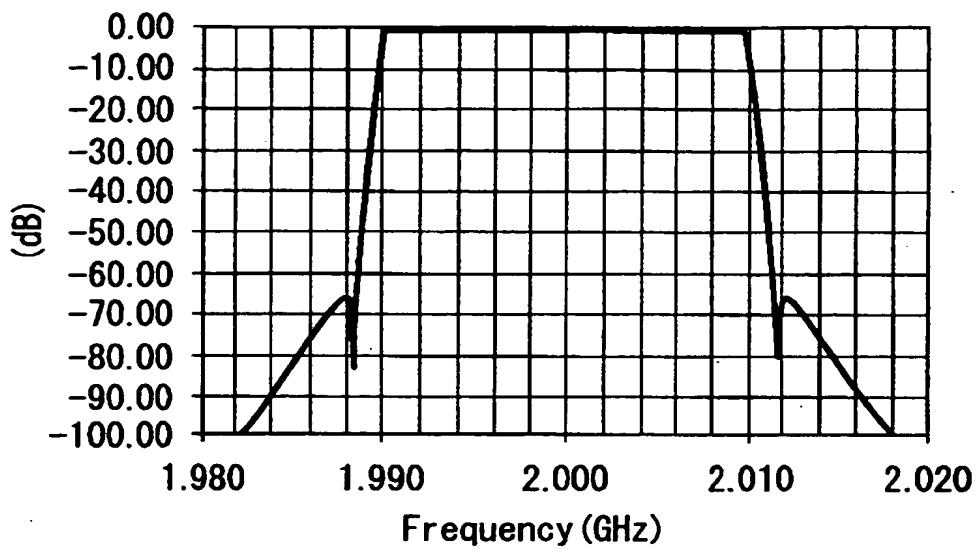


【図17】

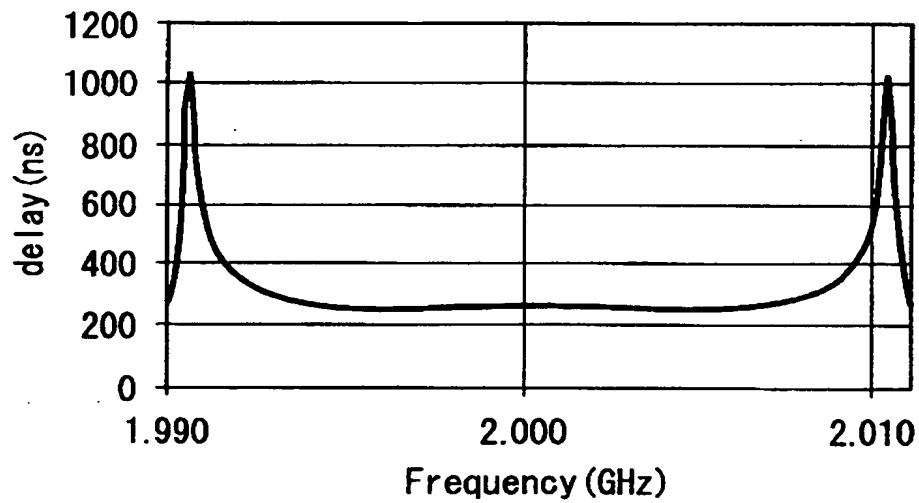




【図18】

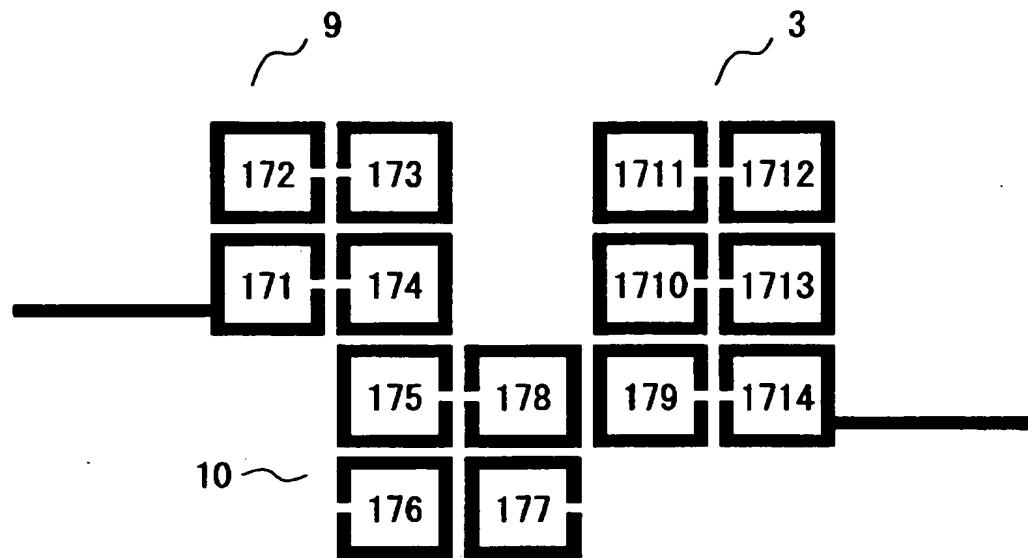


【図19】

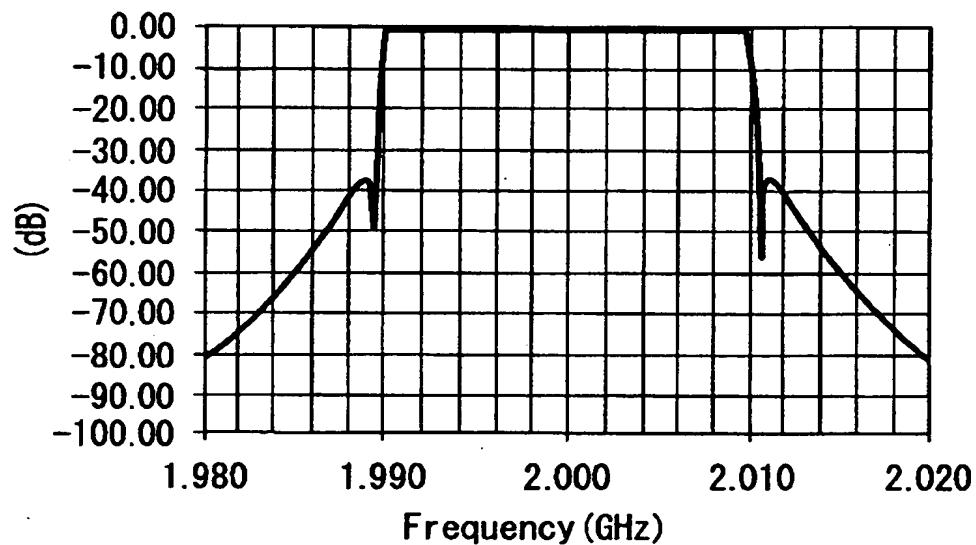




【図20】

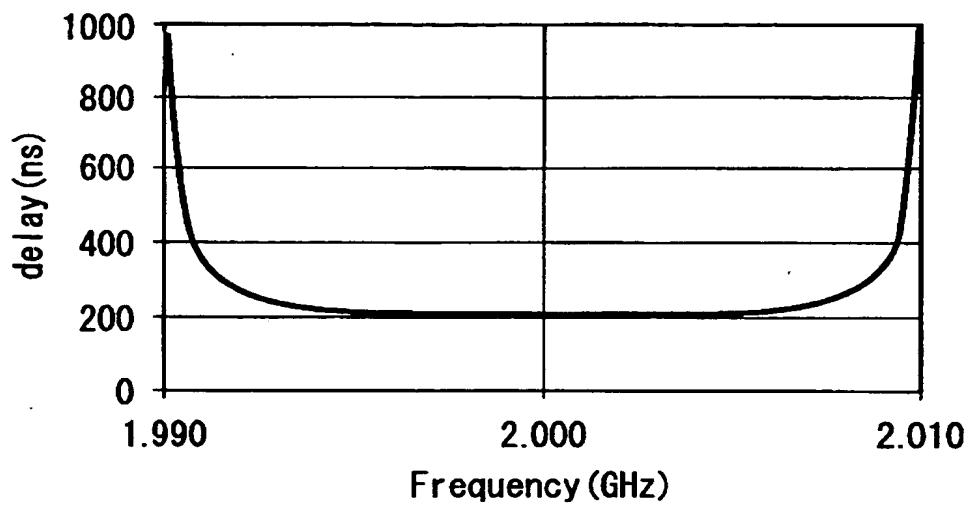


【図21】

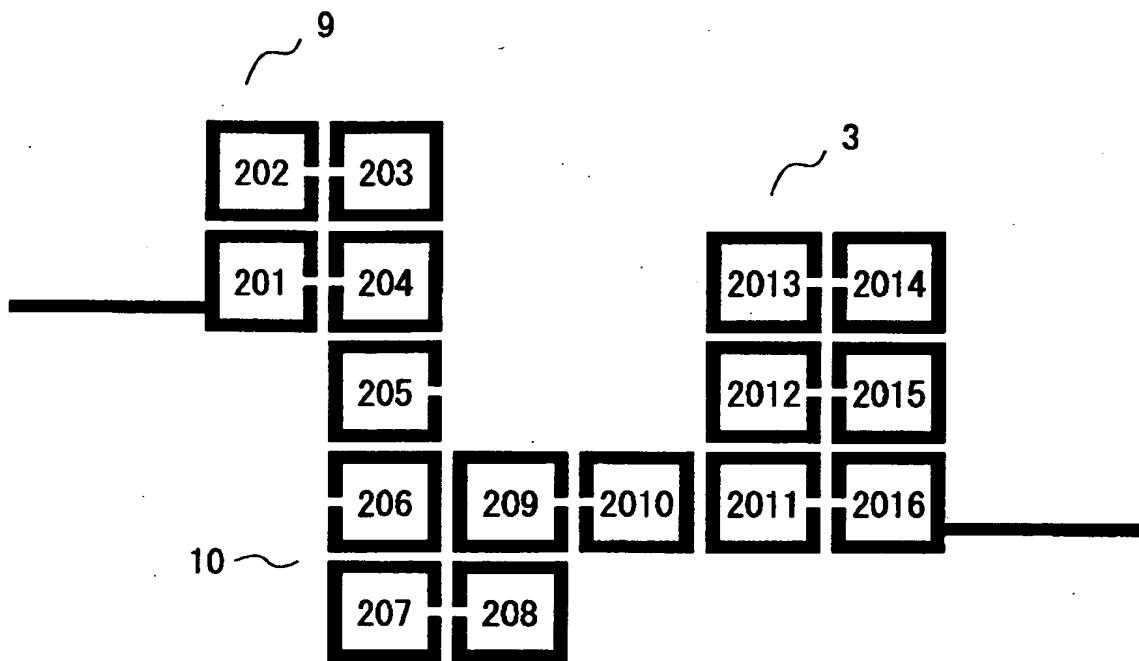




【図2-2】

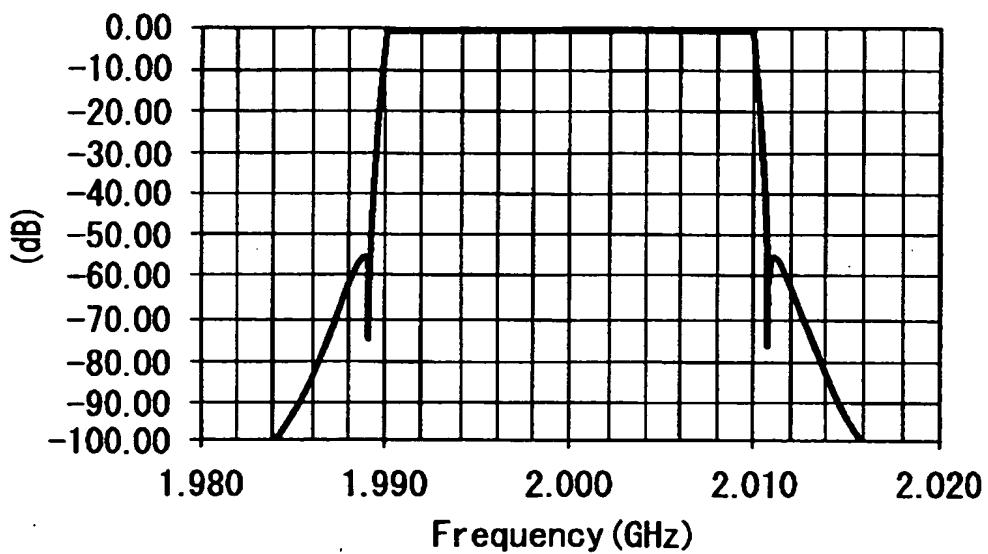


【図2-3】

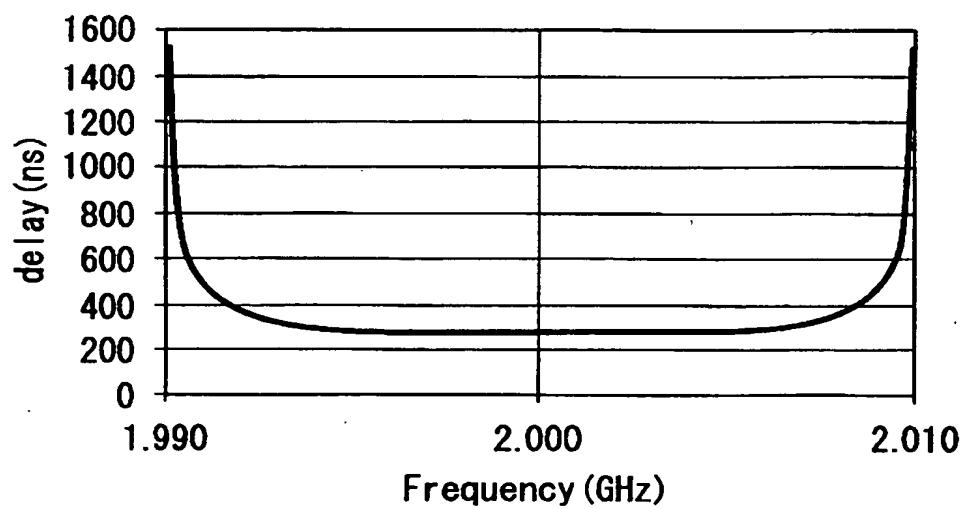




【図24】

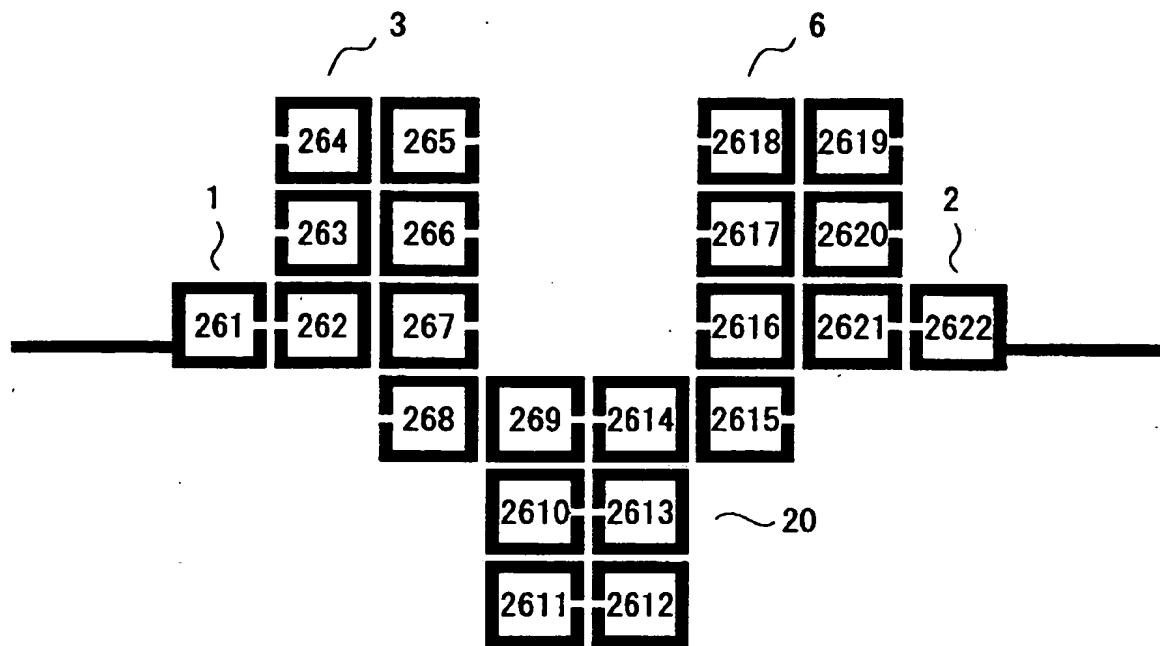


【図25】

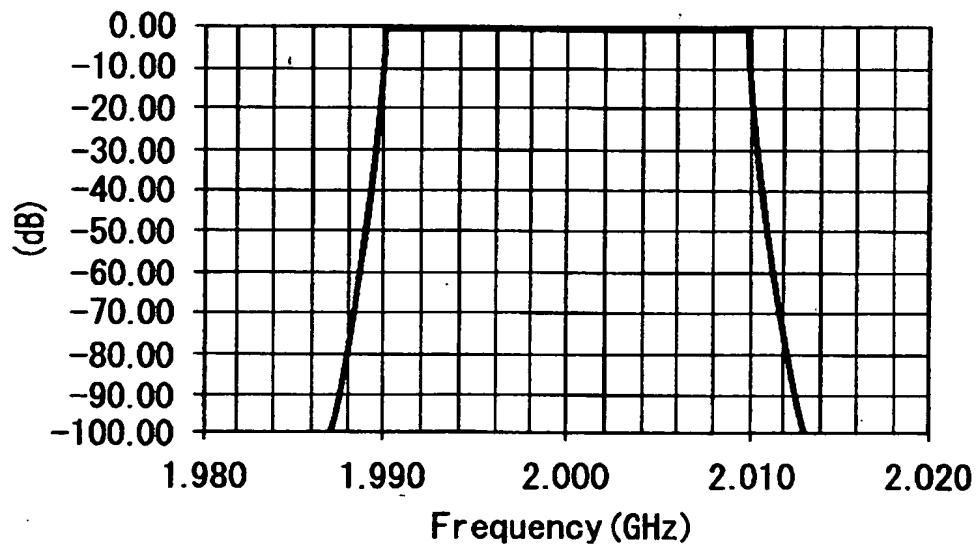




【図26】

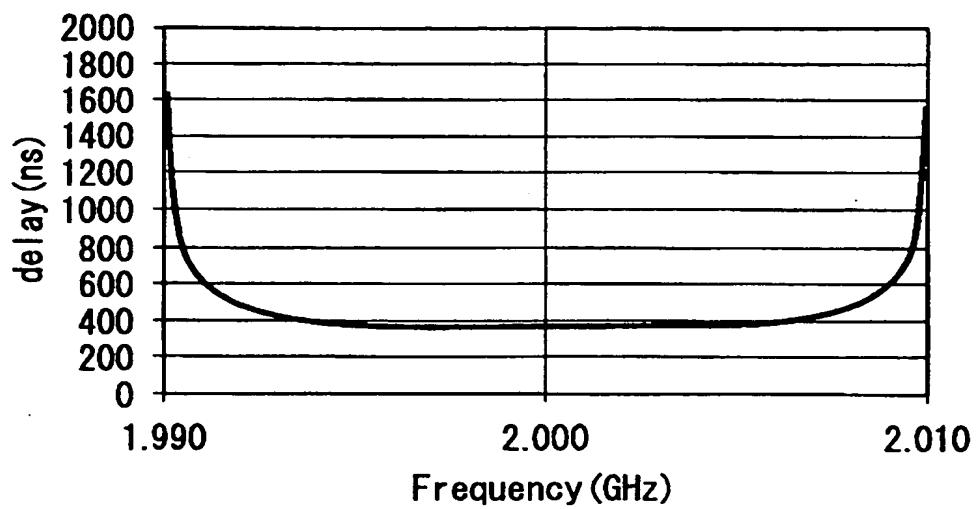


【図27】





【図28】





【書類名】 要約書

【要約】

【課題】

群遅延補償するための伝達関数の実数零点および複素数零点の両者が実現可能でかつ、スカート特性を減衰極により急峻化するための伝達関数の純虚数零点が実現可能なフィルタ回路を提供する。

【解決手段】

第1ブロック端共振器と、第1ブロック端共振器に結合する第1共振器と、第1共振器に結合する第2共振器と、第2共振器に結合する第3共振器と、第3共振器に結合する第4共振器と、第4共振器に結合する第2ブロック端共振器とを有し、第1ブロック端共振器と第2ブロック端共振器との結合及び第1共振器と第4共振器との結合及び第2共振器と第3共振器との結合が同相である複素数ブロックと、励振部とを備え、複素数ブロックと励振部が单路結合することを特徴とするフィルタ回路。

【選択図】 図8



認定・付加情報

特許出願の番号 特願2003-048517
受付番号 50300305939
書類名 特許願
担当官 第七担当上席 0096
作成日 平成15年 2月27日

<認定情報・付加情報>

【提出日】 平成15年 2月26日

次頁無

出証特2003-3058378

特願2003-048517

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝

2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住 所 住所変更
氏 名 東京都港区芝浦一丁目1番1号
株式会社東芝